

赛灵思ZYNQ器件设计开发300问



电子创新网创新设计精品电子书系列

前言

Zynq 系列是赛灵思公司（Xilinx）推出的行业第一个可扩展处理平台，旨在为视频监视、汽车驾驶员辅助、医疗电子以及工厂自动化等高端嵌入式应用提供所需的处理与计算性能水平。

Zynq 推出后获得了产业的积极认可，尤其是中国客户的认可，目前，很多长航推出了基于 Zynq 的创新产品，2013 年 2 月，Zynq 器件开始量产，随着成本的下降，其应用领域日益拓广，很多嵌入式领域工程师也开始学习 Zynq 器件的开发，另外大量有关 Zynq 器件的书籍和开发例程也开始面市。

在与工程师的交流中，我们发现很多工程师需要了解有关 Zynq 器件的最基本的知识，在此基础上才可以进行深入的研究，因此，我们推出了《赛灵思 Zynq 器件设计开发 300 问》通过问答让大家了解 Zynq 器件的最基本知识，为进一步学习打下基础。

大家阅读 300 问后，对 Zynq 器件会有最基础最直观的了解，配合书中提高的链接和参考文档，可以进行 Zynq 器件的开发，另外，安富利也推出了基于 Zynq 器件的 zedboard 开发板，可以方便大家开发。此开发板在电子创新网有售，售价 2988 元 RMB，有很多嵌入式工程师已经购买。

本电子书的内容还需要进一步完善，请大家将您的需求发信到 service@eetrend.com 为您未来会推出更新版本敬请留意。

谢谢大家，祝大家事业进步，学习有成！

张国斌
电子创新网 CEO

2013 年 7 月 1 日

目 录

- 一、Zynq 简介
- 二、ZYNQ 系列名称由来
- 三、Zynq-7000 为何不是 FPGA?
- 四、ZYNQ 系列 - 编程环境
- 五、逻辑架构
- 六、选择赛灵思 Zynq-7000 All Programmable SoC 平台的九大理由
- 七、Zynq 开发 300 问
- 八、开发资源大全

一、Zynq 简介

Zynq 系列是赛灵思公司（Xilinx）推出的行业第一个可扩展处理平台，旨在为视频监控、汽车驾驶员辅助以及工厂自动化等高端嵌入式应用提供所需的处理与计算性能水平。

二、ZYNQ 系列名称由来

Zynq 这个词很容易让人联想到 zinc，也就是电池、日光屏、合金制品和药品中最常见的化学元素锌。锌与其他金属的合金可实现增强型功能，根据合金的不同对象表现为不同的色彩。锌最常见的用途就是电镀。那么这个名称与电镀之间有什么联系？

在 2010 年 4 月硅谷举行的嵌入式系统大会上，赛灵思发布了可扩展处理平台的架构详情，这款基于无处不在的 ARM 处理器的 SoC 可满足复杂嵌入式系统的高性能、低功耗和多核处理能力要求。赛灵思可扩展处理平台芯片硬件的核心本质就是将通用基础双 ARM Cortex-A9 MPCore 处理器系统作为“主系统”，结合低功耗 28nm 工艺技术，以实现高度的灵活性、强大的配置功能和高性能。由于该新型器件的可编程逻辑部分基于赛灵思 28nm 7 系列 FPGA，因此该系列产品的名称中添加了“7000”，以保持与 7 系列 FPGA 的一致性，同时也方便日后本系列新产品的命名。

除了芯片外，赛灵思 Zynq-7000 系列还构成了最终平台产品的基础。赛灵思联盟计划生态系统和 ARM 互联社区的成员提供的软件开发与硬件设计实现工具、广泛采用的操作系统、调试器、IP 及其他元素的工具就好像“电镀”在一起一样，从而使可扩展处理平台成为了可能。

采用 Zynq-7000 的嵌入式设计流程



三、Zynq-7000 为何不是 FPGA？

Zynq-7000 可扩展处理平台是采用赛灵思新一代 FPGA（Artix-7 与 Kintex-7 FPGA）所采用的同一 28nm 可编程技术的最新产品系列。可编程逻辑可由用户配置，并通过“互连”模块连接在一起，这样可以提供用户自定义的任意逻辑功能，从而扩展处理系统的性能及功能。不过，与采用嵌入式处理器的 FPGA 不同，Zynq-7000 产品系列的处理系统不仅能在开机时启动，而且还可根据需要配置可编程逻辑。采用这种方法，软件编程模式与全功能的标准 ARM 处理 SoC 毫无二致。

“可扩展”意味着什么？

在软件工程领域，可扩展性（有时会同前向兼容性相混淆）是指实现方案考虑到未来发展需求的系统设计原理。这是一种能够扩展系统的系统性举措，也是实现扩展所需的工作。扩展可体现为增加新功能，也可体现为现有功能的修改。其核心主题就是在尽可能减少现有系统功能变动的基础上实现变革。

在系统架构中，可扩展性意味着系统设计时包含了通过新功能扩展/改进自身的机制和元素 (hook)，而且无需对系统基础架构进行较大的修改。良好的架构反映了实现上述目的的设计原理，也为今后可能的构建工作制定了发展蓝图。请注意，这通常是指最终交付的产品中包含了尚不会（实际上可能永远不会）用到的功能和机制，但这种功能并不是可有可无的，而是可维护性的必要元素，有助于避免产品过早被淘汰。

ZYNQ=processor

Zynq-7000 嵌入式处理平台系列的每款产品均采用带有 NEON 及双精度浮点引

擎的双核 ARM Cortex-A9 MPCore 处理系统，该系统通过硬连线完成了包括 L1, L2 缓存、存储器控制器以及常用外设在内的全面集成。该处理系统不仅能在开机时启动并运行各种独立于可编程逻辑的操作系统(OS)，而且还可根据需要配置可编程逻辑。利用这种方法，软件编程模式与全功能的标准 ARM 处理 SoC 毫无二致。

应用开发人员利用可编程逻辑强大的并行处理能力，不仅可以解决多种不同信号处理应用中的大量数据处理问题，而且还能通过实施更多外设来扩展处理系统的特性。系统和可编程逻辑之间的高带宽 AMBA®-AXI 互联能以极低的功耗支持千兆位级数据传输，从而解决了控制、数据、I/O 和存储器之间的常见性能瓶颈问题。

四、ZYNQ 系列的编程环境

Zynq-7000 系列提供了一个开放式设计环境，便于可编程逻辑中双核 Cortex-A9 MPCore 和定制加速器的并行开发，从而加速了产品上市进程。软件开发人员可以充分利用基于 Eclipse 的 Xilinx Platform Studio 软件开发套件 (SDK)、ARM 的 DS-5 和 ARM Real View Design Suite (RVDS)，或 ARM 互联社区和赛灵思联盟计划生态系统的领先厂商（诸如 Lauterbach、Wind River、PetaLogix、MathWorks、MentorGraphics、Micrium 和 MontaVista 等）提供的编译器、调试器和应用。

此外，利用赛灵思屡获殊荣的 ISE® 设计套件的优势，Zynq-7000 系列的可编程结构经定制可以最大化系统级性能，满足特定应用的各种需求。该套件提供了包括开发工具、AMB4 AXI4 即插即用 IP 核和总线功能模型 (BFM) 等在内的完整硬件开发环境，有助于加速设计和验证工作。赛灵思通过收购高级综合技术领先公司 AutoESL 进一步提升了在工具方面的进程，提供 C, C++ 以及系统 C 综合优化 Zynq-7000 器件架构。未来的版本也将促进 Zynq-7000 产品系列中处理器和可编程逻辑之间关键算法的无缝衔接。

Zynq-7000 软件开发环境

▪ 广泛使用的 ARM 开发环境

- 轻松移植已为 ARM 系统开发的代码

▪ ARM 生态系统支持

- ARM
- 赛灵思软件开发套件
- 其他第三方

▪ 大量现成的软件和库

- 开放源代码
- 现成的商用资源



Zynq-7000 硬件设计环境

▪ 赛灵思 ISE 开发套件

- 嵌入式版本
- AutoESL HLS 支持

▪ 即插即用 IP 产品系列

- AXI 所实现的

▪ 硬件抽象层

- 简化 Cortex-A9 和定制加速器/外设之间的接口

▪ 驱动程序和 API

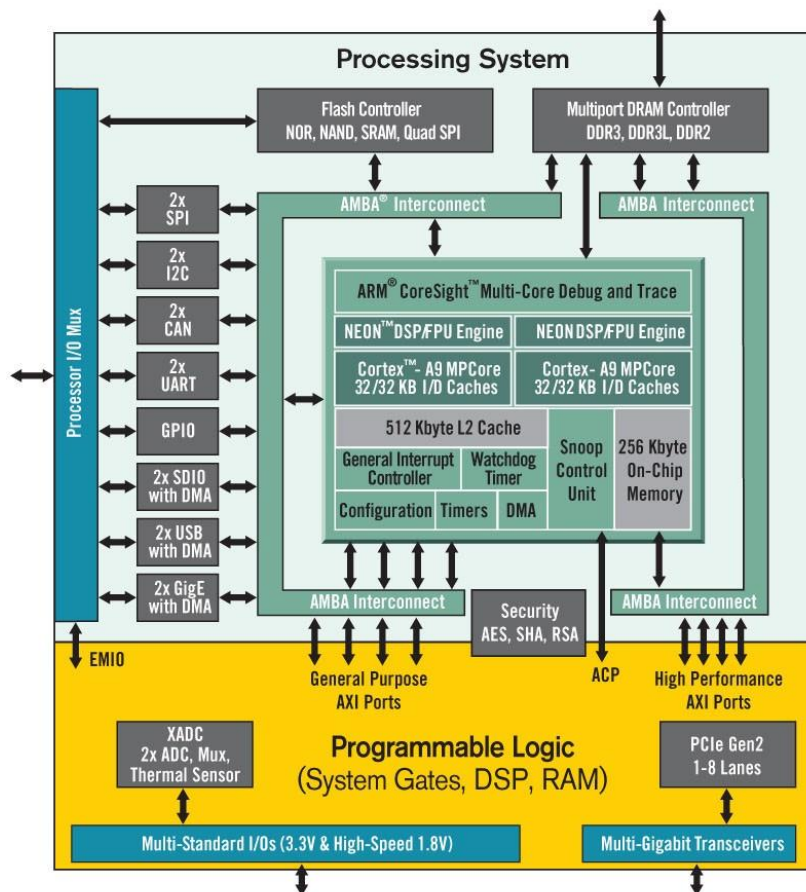
- 为关键应用提供一套通用的加速器



随着时间的推移，ARM 互联社区和赛灵思联盟计划生态系统的第三方厂商将进一步扩展上述解决方案，这是赛灵思目标设计平台的一部分，可提供包括 IP 核、参考设计、开发套件及其他资源等在内的高效统一的开发环境，从而满足特定应用和设计领域要求。

五、Zynq 系列的逻辑架构

Zynq-7000 系列的可编程逻辑完全基于赛灵思最新 7 系列 FPGA 架构来设计，可确保 28nm 系列器件的 IP 核、工具和性能 100% 兼容。最小型的 Zynq-7000、Zynq-7010 和 Zynq-7020 均基于专门针对低成本和低功耗优化的 Artix-7 系列；较大型的 Zynq-7030 和 Zynq-7040 器件基于包括 4 至 12 个 10.3 Gbps 收发器通道，可支持高速片外连接的中端 Kintex-7 系列。所有四款产品均采用基于 2 个 12 位 1Msps ADC（模数转换器）模块的新型模拟混合信号模块。

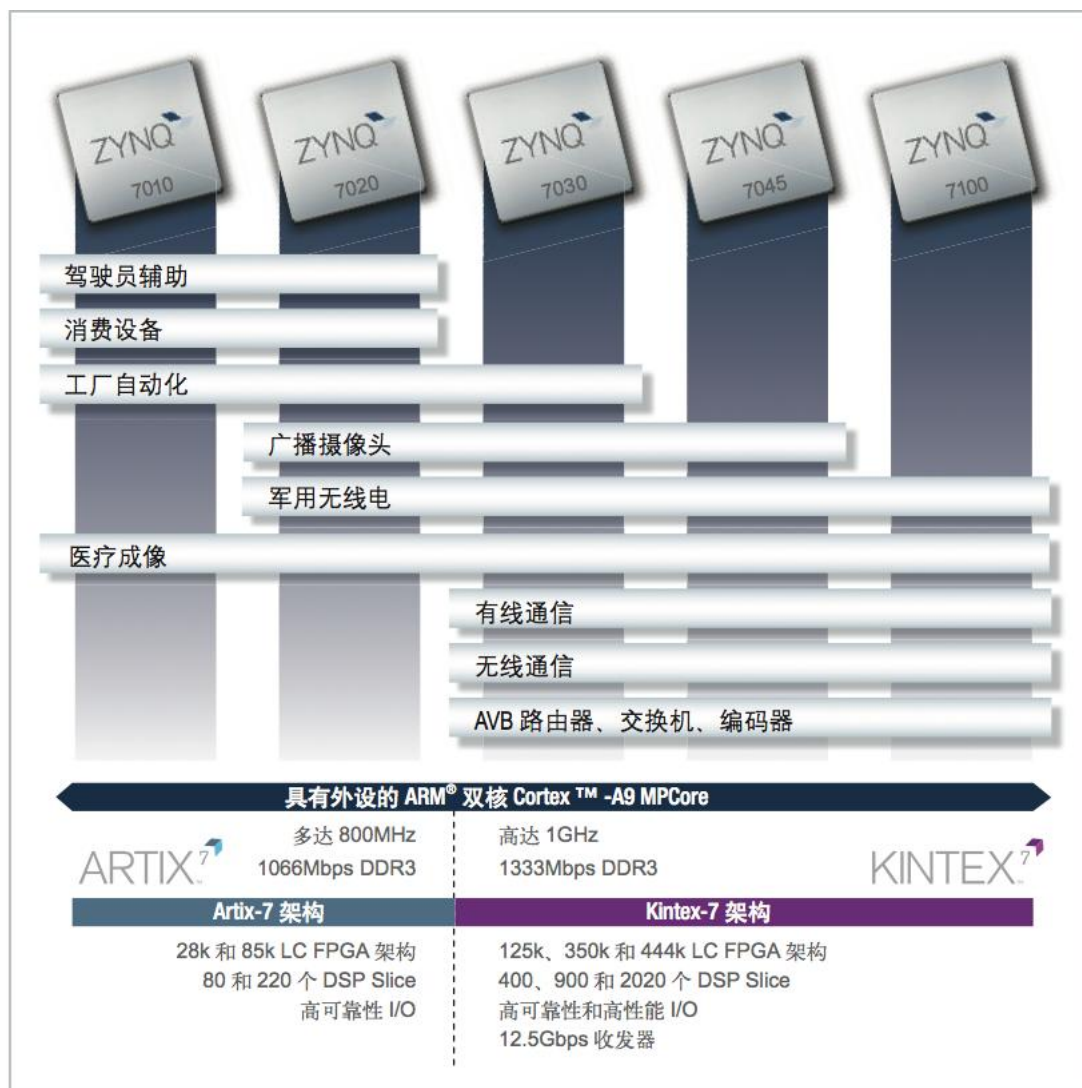


六、选择赛灵思 Zynq-7000 All Programmable SoC 平台的九大理由

赛灵思 Zynq™ -7000 All Programmable SoC 是一款为当今嵌入式系统注入智能性的理想平台。该平台是 All Programmable 的，也就是说它不仅能够通过软件为系统添加智能，而且还能通过可编程硬件实时执行更多的数据处理和决策功能，同时系统接口也能通过可编程 I/O 进行优化发展。所有这些智能都可通过较低的设计成本和巨大的灵活性进行添加，从而支持设计修改乃至产品部署后的现场升级。此外，该平台也能支持高级可编程系统集成，包括 CPU、DSP、ASSP、FPGA 和混合信号功能等，从而降低 BOM 成本、提高系统性能、降低系统功耗。如果需要的话，基于 Zynq 平台的系统几乎可以当天立即完成设计并出货。

赛灵思 Zynq-7000 All Programmable SoC 可提供最快捷、最智能的方法创建 Smarter System。它将基于两个 1GHz ARM® Cortex™ -A9 MPCore 处理器的快速处理器系统与业界速度最快、最高级 28nm FPGA 架构相结合, 搭配多个高速串行收发器以及包含两个每秒 100 万次采样模数转换器的片上模拟处理块。

赛灵思近期推出了 Zynq-7000 All Programmable SoC 系列旗下的第五款产品: Zynq Z-7100, 改进了 FPGA 架构中的 DSP 资源。所有五款 Zynq 器件都进行了精心优化, 能充分满足特定的系统功耗、成本和尺寸组合需求。



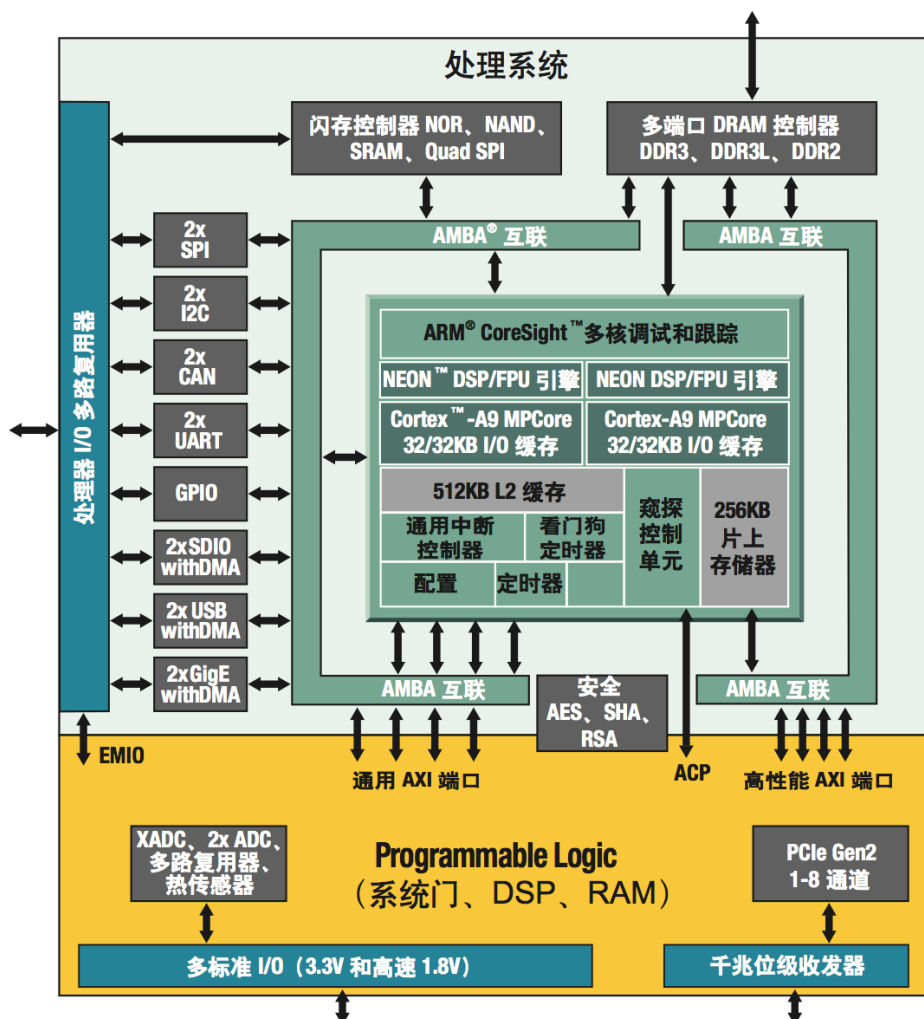
赛灵思正引领着 Smarter System 的行业发展趋势, 相继推出了面向 Smarter Network、Smarter Data Center 和 Smarter Vision 系统的以应用为中心的解决方案。这些解决方案基于 Zynq-7000 All Programmable SoC 而构建, 包括针对 Smarter System 提供的越来越丰富的构建模块组合——SmartCORE™ IP, 还有支持更高抽象级设计的新一代设计工具——Vivado, 以及各种应用设计套件和系统级专业技术, 力助 Smarter System 的快速设计和实现。

赛灵思 Zynq-7000 All Programmable SoC 相对于同类解决方案 而言领先整整一代,是针对各类市场所有不同应用领域 一系列系统设计问题的最智能的解决方案。以下九大理 由证明为什么领先一代名符其实 :

理由一 : 最有效的 ARM+FPGA 分析和控制架构

Zynq All Programmable SoC 的核心的是 1GHz 双核硬化实现的 ARM Cortex-A9 MPCore 微处理器。两个 ARM 处理器通过基于 ARM AMBA AXI 的互联机制与片上存储器、SDRAM 和闪存存储器控制器以及外设模块进行通信。总之,这些硬化模块构成了 Zynq-7000 All Programmable SoC Processor System (PS)。片上 PS 通过多个 ARM AMBA AXI 端口连接到 Zynq 器件的片上 Programmable Logic (PL),在 Zynq 架构的两大关键组件之间形成了极为高效的耦合。它们中间包括有 2 个 32 位 AXI 主接口、2 个 32 位 AXI 从接口、4 个 64 位可配置缓冲型高性能 AXI 从接口和 1 个 64 位 AXI ACP (加速器一致性端口) 接口。也就是说 Zynq PS 和 PL 之间共有 9 个 AXI 接口。

ARM AXI PS-PL 连接的数量和大小是一个关键的架构选择,需要认真考虑 Zynq PS 的带宽要求。4 个 64 位 /32 位可配置高性能 AXI 端口使得 PL 能通过 4 个独立的 1kB FIFO 缓冲器直接高速访问 Zynq-7000 All Programmable SoC 的片上存储器和 SDRAM 控制器。这样,Zynq PL 中实现的一些单独的硬件加速器就能独立高速访问基于 Zynq 系统的主存储器。如果访问要与片上缓存相一致,那么 PL 中实现的加速器可采用 64 位 ACP 连接,其直接连接到 ARM Cortex-A9MPCore 处理器的窥探控制单元。除了 64 位 /32 位可配置 AXI 端口之外,还有 4 个 32 位 AXI 端口用于连接 Zynq PS 和 PL。这些端口在 Zynq PS 和 Zynq PL 实现的任何外设类 IP 块之间提供连接。



理由二：最丰富的 OS、中间件和协议栈生态系统

所有这些硬件都需要软件来协助应用，而赛灵思 Zynq 平台可提供丰富的 OS、中间件和协议栈生态系统。OS 支持包括许多不同的 Linux 版本（赛灵思自己的 PetaLinux、Wind River 的 Linux 5 和 Timesys 的 Linuxlink 等）、iveia 和 Adeneo 的 Android、Microsoft 的 Windows Embedded Compact 7 以及一些实时操作系统（包括赛灵思的 FreeRTOS、Wind River 的 vxWorks、Green Hills Software 的 InTEGRITY、EnEA 的 OSE、Express logic 的 ThreadX/netX、ETAS 的 RTA-OS SC1-4、eSOC 的 eT-kernel、Micrium 的 μ c/OS、Mentor Embedded 的 nucleus 以及 Quadros 的 Quadros 等）。这些操作系统涵盖了通信、汽车和工业乃至消费、医疗等各种应用领域。

此外，Zynq 平台还拥有最庞大的软件生态系统，到目前为止，赛灵思和业界领先的工具厂商（包括 ARM、Microsoft、Mentor Embedded、Green Hills Software、Wind River、Kyoto、Microcomputer、Yokogawa、Computex、Abatron 和 lauterbach）可提供软件开发工具，而 30 多家设计服务生态系统联盟成员则提供设计帮助。

赛灵思还为 Smarter Network、SmarterVideo、高级 FOC（磁场定向控制回路）电机控制、安全等应用提供专门的软硬件设计解决方案。此外，Zynq 平台受益于庞大的中间件生态系统，协议栈厂商则能 ARM Cortex-A9MPCore 处理器提供专门的产

品和服务，具体包括：

- 音频编解码器 • 加密
- 视频编解码器 • 安全系统操作
- 图形 • 文件系统
- 成像 • 网络
- 图像处理和识别 • 数据库
- 面部识别 • 电源管理

理由三：最高级别的安全性和可靠性

Smarter System 必须充分满足安全性和可靠性的严格要求，而 Zynq 平台的许多特性都能帮助设计团队设计安全特性，确保安全操作。就安全操作而言，Zynq 平台的独特之处在于总是先启动处理器端然后再启动 FPGA 端。如果需要，启动顺序还支持用户认证（RSA）、加密（AES-256）和数据认证（HMAC）。认证和解密代码被放置在片上存储器中，只有在确保不受窥探情况下才会执行。这是安全启动 Zynq-7000 All Programmable SoC 这种器件的唯一方法，而且这种技术已经在我们最严格的航空航天和军用客户实践中得到了检验，要知道这些客户都是安全领域的专家。

赛灵思在征求目标客户意见后将上述特性集成到 Zynq-7000 平台，因此 Zynq-7000 SoC 能够支持硬件中的 AES 和 SHA 算法。

同类竞争解决方案在其片上 FPGA 配置管理器中内置了 AES，但显然只能用于 FPGA 配置比特流的解密，而且同类竞争解决方案的硬件 AES 解密似乎也不适用于处理器启动代码。此外，同类竞争解决方案器件安全启动的唯一方法就是先配置 PL，然后再启动 PS，但目前还不清楚其是否考虑到了避免特洛伊木马软件在安全启动 PL 之前植入器件的可能性。Altera 的解决方案显然还有很多尚未解答的问题。

此外，Zynq 器件具有独特的防篡改（AT）技术，这些特性不仅对军用项目至关重要，同时也对商业客户保护 IP 非常有用。

这些特性的详细列表敬请参见赛灵思 XAPP1084 文档，该文档可在被称为 Security Monitor (SecMon) 的随时可集成型 IP 解决方案中提供。片上模数转换器和温度传感器使得 Zynq 器件能监控环境，如果发现有任何篡改迹象就会将自身（包括 AES 密钥）“归零”。在此领域已经出现的四代产品中，同类竞争解决方案都不能实现这样整整领先一代水平的安全特性。

许多系统参数都与操作可靠性相关，但人们最常讨论的一大问题就是单粒子翻转 (SEU)。存储器故障等显然都会产生 SEU 症状，但真正的问题是位于系统级。赛灵思通过公认的实验室和测试标准对 SEU 进行了大量的 28nm 工艺测试。

赛灵思 FPGA 多年来一直用于火星探测器，近期则在 CERN 位于瑞士阿尔卑斯山的大型强子对撞机中帮助科学家捕获希格斯玻色子。所以，赛灵思对于 SEU 非常熟悉。赛灵思高可靠性、领先一代的 28nm 芯片技术，基于符合 JESD89A/89-3A 标准的 LANSCE（洛斯阿拉莫斯中子科学中心）光速测试，可在所有商业 SRAM 型技术中实现最低的固有 SEU FIT 率。赛灵思器件非常适合较长使用寿命的应用。赛灵思 SEU 的优势可通过 SEU 缓解和分析解决方案进一步加强，其中包括完全支持的软故障缓解 IP (SEM IP)、SEU FIT 率计算器、公开可用的数据和检测方法以及专家设计指南等。赛灵思专门致力于芯片

可靠性和 SEU FIT 率的研究工作，因此是系统开发人员满足最高系统性能要求、在可编程器件中实现最高集成度的明智选择。

除 SEU 之外，系统可靠性还有其它方面的因素。举例来说，Zynq 系列的所有产品都包含配备模拟多路复用器的片上热传感器和片上模数转换器，这样 Zynq 器件就能监控自身环境，包括温度和电源电压等。此外，系统设计人员还能给 Zynq 平台的模拟输入连接入侵光电探测器和其它模拟传感器，从而创建故障安全系统，能充分了解安全系统操作面临的任何环境挑战。上述特性具有多重安全完整性等级 (SIL)，能充分满足 IEC 61508 标准等新型监管规定的要求。

无与伦比的性能和功耗

如果说不能以尽可能最低的功耗实现最佳性能，那么以上功能全都毫无说服力。而 Zynq-7000 All Programmable SoC 平台恰恰做到了这一点。高性能组建和架构决策可提供强大的组合性能。通过正确选择 28nm 工艺技术——赛灵思 Zynq 平台选择了 TSMC 的 28nm HPL 工艺——再加上正确做出设计决策，我们不仅实现了低功耗操作，也能充分发挥工艺技术的无限潜力。

理由四：唯一一款 1GHz 双核 ARM Cortex-A9 MPCore 处理器

赛灵思采用 TSMC 28nm HPL 工艺技术使得其产品系列能以非常低的工作功耗提供无与伦比的高性能，这一切都始于 1GHz 的双核 ARM Cortex-A9 MPCore 处理器。速度级别最高的 Zynq-7000 All Programmable SoC 中 ARM 微处理器的工作速度超过任何同类竞争产品。处理器速度快当然是提高性能的第一大因素，不

过也有其它一些影响性能的重要因素，特别是存储器。

理由五：最大容量、最高性能的存储器系统

单靠最佳的处理器性能本身并不能确保系统的高性能。存储器性能也发挥着重要作用。Zynq 平台采用了现有速度最快的 SDRAM 存储器控制器。Zynq 平台 PS 中硬化的 SDRAM 控制器的工作速度与 DDR3-1333 相当。Zynq 器件的片上 FPGA 架构中放置的存储器控制器配合 Kintex™ -7 PL 能实现 DDR3-1866 的速度，而且您能根据需要在 PL 中安放多个 SDRAM 控制器。

Zynq-7000 All Programmable SoC 中硬化的 SDRAM 控制器支持 32 位和 16 位 SDRAM 宽度，提供奇偶校验功能，也支持带 ECC 的 16 位 SDRAM。如果您的设计需要带 ECC 的 32 位 SDRAM 或 64 位 /128 位 SDRAM(带或不带 ECC)，那么软核版本的赛灵思 SDRAM 存储器控制器能提供您所需要的功能，而且性能更高。

理由六：最低功耗和最快的逻辑架构

Zynq 平台在业界领先的赛灵思 28nm Kintex-7 和 Artix™ -7 FPGA 基础上可为您提供两种 PL 选择。速度更高的 Kintex-7 FPGA 架构为实现最佳性价比进行了精心优化，性能与前一代高端赛灵思 Virtex®-6 FPGA 相当，而功耗仅为后者的一半（也就是功耗性能比翻番）。而 Artix-7 FPGA 架构为实现最低功耗和最低成本进行了精心优化，性能相当于前一代 Spartan®-6FPGA 的两倍，但工作功耗减半。根据具体设计，Artix-7 FPGA 相对于同类竞争性低端 28nmFPGA 而言性能可平均提高 15%，

而 Kintex-7 相对于同类竞争性中端 28nmFPGA 而言性能则可平均提高 50%。

7 系列 FPGA 共享可扩展的优化架构，包括 Zynq-7000 All Programmable SoC 系列器件中的 Kintex-7 和 Artix-7 架构。这样就能支持更方便移植的 RTL 和 IP。

由于所有赛灵思 7 系列 FPGA 架构共享最低层次的架构构建块，因此设计团队可移植手工编码、带存储器块实例化、DSP 块或逻辑元件的 RTL 到 Zynq-7000 系列的任何成员，并且无需修改或花大量时间来重新优化。

业经验证的生产力

赛灵思 Zynq 平台打开了提高设计生产力的大门，能让设计团队创建任何可编程抽象级的全新设计方案，包括软件或硬件。

Zynq 平台的两个 1G Hz ARM Cortex-A9 处理器内核能以超过同类竞争解决方案的速度更快执行 ARM 目标软件，这样开发团队就能减少优化代码所需的时间

和精力。为提高速度，软件开发团队可将关键算法转为硬件加速器，这样就能在 Zynq PL 中进行实例化并插入 ZynqSoC 的 AXI 互联。Vivado HLS 通过将 C、C++ 和 SystemC 代码转为硬件能让这项任务变得高效快捷。

此外，逻辑设计人员可创建更多的硬件模块，进一步提高系统设计快速执行任务的功能。

Zynq 平台理想适合于帮助设计团队将理念转变为实现方案，并尽可能地节约时间。这正是生产力的源泉所在。

理由七：业界领先的高层次综合

您想知道算法尽快转变为高速逻辑的秘密吗？这就是高层次综合（HLS）。算法开发人员能用 C、C++ 和 SystemC 语言编写算法，然后在 PC 和服务器的上调试算法。当算法得到验证后，实现算法最快速的方法就是在 Zynq 平台的其中一个 ARM Cortex-A9MPCore 处理器上简单地重新编译代码。

如果这种实现速度不够快怎么办？那么您就需要一款硬件实现方案了。在 HLS 出现前，硬件实现方案需要逻辑设计人员在 VHDL 或 Verilog 中重新编码采用 C、C++ 和 SystemC 语言编写的高级算法。这个过程很慢，需要手工操作，容易发生错误，而且需要进行大量的调试。有了 HLS，这个过程就快多了。让 C、C++ 和 SystemC 代码进入 HLS 工具，我们就能得到实现硬件加速器所需的 HDL 代码了，而且配套提供 AXI 接口，能直接插入 ZynqSoC 的 FPGA 架构。

赛灵思 HLS 工具是 Vivado 设计套件的一部分，这是支持硬件加速器快速开发的核心特性，它能加速执行 Zynq 平台上的关键任务。赛灵思 Vivado 设计套件包含的 HLS 工具对三种 C 语言输入标准（C、C++ 和 SystemC）的庞大子集提供可综合支持，因此能从 C 代码综合硬件，而且尽可能地减少修改。Vivado HLS 工具能对设计进行两种不同类型的综合：

- 算法综合：针对函数功能，将函数表达综合为一系列时钟周期上的 RTL 表达。
- 接口综合：将函数变量（或参数）转换到 RTL 端口，提供特定的时序协议，让设计能与系统中的其它设计进行通信。

Vivado HLS 工具能执行一系列的设计优化，生成高质量的 RTL，从而满足性能和面积目标。虽然 C 语言的顺序性（缺少并行性）特点人为造成运算必须等待执行，但 Vivado HLS 工具能自动将函数和循环实现流水线，确保 RTL 设计不受上述限制的影响。

Vivado HLS 就是系统设计人员快速开发硬件加速器的秘密武器。

理由八：最丰富的软件环境和工具选择

软件开发团队有自己喜欢使用的工具，不同团队有不同的偏好，有时不同项目也需要使用不同的工具，这不是什么秘密。因此，像基于赛灵思 Zynq-7000 All Programmable SoC 系列产品的通用开发平台必须能为设计团队提供丰富的开发工具选择。

赛灵思可提供免费的软件开发工具套件，支持基于 Linux 和 bare-metal 的软件开发，而且提供多核软件调试功能。

Zynq 平台业界领先的第三方开发环境和工具包括 ARM Development Studio 5 (DS-5)、Mentor SourceryCodeBench 工具链、WindRiver WorkBench、Green Hills 的 MULTI IDE、Microsoft Visual Studio、Lauterbach TRACE32 PowerTools、Computex PALMiCE3 和 PALMiCE2H

调试器以及 KyotoMicrocomputer 的 PARTNER 调试器等。

赛灵思的一些合作伙伴可提供非常高级的高层次软件开发工具。举例来说，MathWorks 支持 Zynq-7000 平台的模型化设计，其 MATLAB 和 Simulink 支持整个设计过程的持续测试和验证。MATLAB 是面向开发技术计算应用的业界领先环境。Simulink 则是面向系统级建模、仿真和验证的业界领先环境。MathWorks 的两款开发工具适用于开发各种应用，其中包括：

- 电机控制 • 数据分析
- 计算机和机器视觉 • 安全和监视
- 无线通信 • 机器人

MATLAB 和 Simulink 相对于手工编码方法而言能将设计周期时间缩短多达 80%。

此外，National Instruments 也通过 LabVIEW FPGA 图形开发环境展示其对 Zynq 平台的支持。LabVIEW 是系统设计平台和开发环境，采用了可视化数据流编程语言，最初由 National Instruments 于 1986 年开发。

理由九：最丰富的 IP、设计套件和

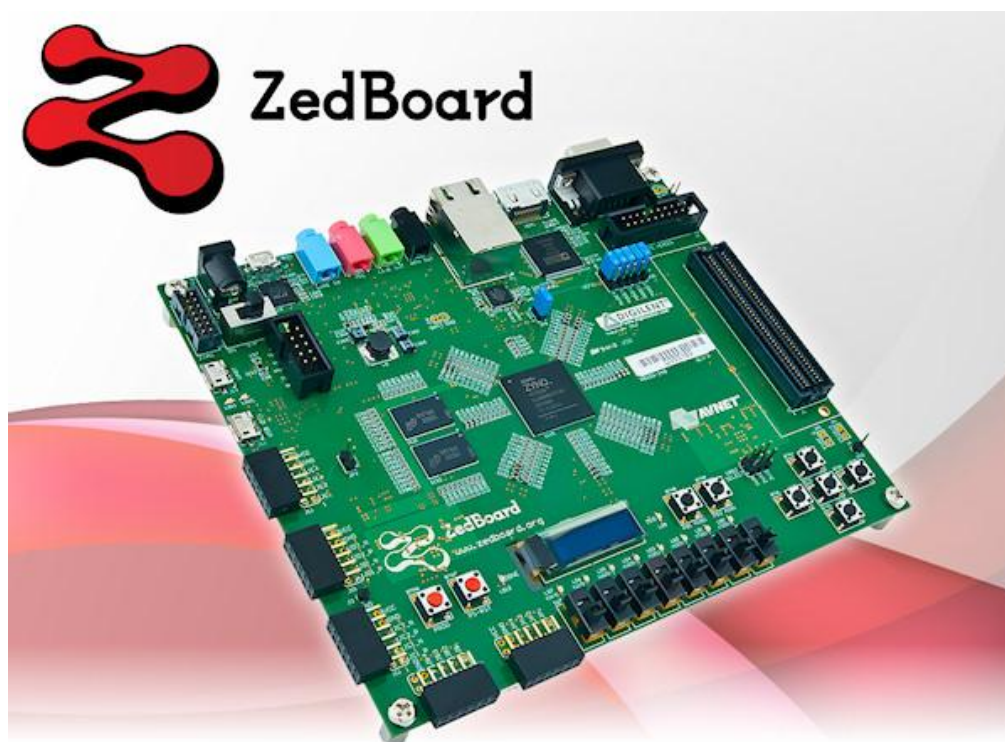
参考设计组合

赛灵思可提供大量 IP 模块、设计套件和参考设计，能够帮助设计团队率先推出新系统。举例来说，过去几年来，赛灵思收购了 Sarance、Omiino、Modesat 和 Modelware 等战略 IP 厂商，还在内部开发了更多 IP 块，推出了丰富的 SmartCORE IP 组合，从而帮助 Smarter 网络的系统开发。

想要立即启动开发工作的设计团队需要即时平台，而赛灵思提供的软硬件开发平

台包括:

- ZedBoard 低成本评估板（安富利合作伙伴电子创新网商城有售 zedboard，购买地址：<http://mall.eetrend.com> 售价 2988RMB。）
- 用于开发非视频应用的 ZC702 评估套件
- Zynq 视频和成像套件
- 用于开发无线应用的 Zynq SDR 套件
- 用于需要高速 SerDes 收发器的系统的 ZC706 评估套件



Zynq-7000 SoC 虚拟平台是一款基于软件的仿真平台，能帮助您开发仿真友好型系统模型，即时发送电子邮件给世界各地的开发人员。此外，越来越多的第三方厂商，包括 iVeia、Enclustra 和 v3 Technology 也基于赛灵思 Zynq 平台推出了评估开发板。

其它原因

第十大原因：屡获殊荣的技术

Zynq-7000 系列和 Zynq 平台已经赢得了许多行业大奖，而且在 2012 年底赢得两项尤为重要的奖项。

第一个是 Linley Group《微处理器报告》颁发的年度分析师选择奖中的“2012年度最佳嵌入式处理器”奖。《微处理器报告》称：“我们认识到，不同的观点和意见综合在一起，就会带来创造力，所以我们评选赛灵思的 Zynq Z-7020（见《微处理器报告》2011年3月7日文章：赛灵思让 FPGA 再添利器）为 2012 年度最佳嵌入式处理器。从一个角度看，Zynq 是 FPGA，但从另一个角度看，它又是嵌入式处理器。它不完全是其中的任何一者，但 Z-7020 和类似产品将改变嵌入式处理器行业，不仅在传统处理器领域抢占市场，同时开启新的设计机遇。”

第二个大奖来自《电子产品杂志》，该杂志编辑 JimHarrison 说：

“我们选择 Zynq-7000 All Programmable SoC 作为今年年度最佳产品，是为了表彰赛灵思作为敢为人先 FPGA 公司的地位。赛灵思率先推出了业界首款 All Programmable SoC，并在单个芯片上集成了 ARM®双核 Cortex™ -A9 MPCore™处理系统以及可编程逻辑和 I/O。我们表彰赛灵思独特的技术组合，它大幅提高了性能，从而在各种市场中改进了处理密集型应用，其中包括消费和广播设备乃至有线通信领域等。”

结论

需要多功能、高速信号处理和实时响应性的最终市场应用推进了 Smarter System 需求的发展，要求更高级别的嵌入式系统性能。Smarter 视频和视觉（驾驶员辅助、监视、自动化）、Smarter 网络、Smarter 数据中心、Smarter 航空航天和军用（军事和航空电子系统）以及 Smarter 广播（摄像头、内容、传输）等应用有着一些相同的需求，其中包括：

- 高级决策和控制处理
- 复杂的用户或控制系统接口
- 基于多个复杂数据输入流的控制和分析
- 高性能低时延信号处理

所有这些应用都必须满足更严格的开发进度要求，而且要不断满足 Smarter System（从低成本解决方案到特性丰富的解决方案）持续发展的要求。赛灵思 Zynq-7000 All Programmable SoC 平台堪称开发 Smarter System 最智能的解决方案，有九大原因：

- 满足分析和控制需求的最高效 ARM+ FPGA
- 最丰富的 OS、中间件和协议栈生态系统
- 最高级安全性和可靠性

- 唯一一款 1GHz 双核 ARMCortex-A9MPCore 处理器

- 最大容量、最高性能的存储器系统

- 最低功耗和最快的逻辑架构

- 业界领先的高层次综合

- 最丰富的软件环境和工具选择

- 最丰富的 IP、设计套件和参考设计组合

上述因素再加上软硬件的高灵活性和 I/O 可编程性,可帮助客户缩短开发时间,降低投资,从而改进财务业绩,加快产品上市进程和盈利的进度。此外,系统定义风险得以大幅降低甚至可能彻底消除,同时我们还能进行产品的更新升级,从而更方便地服务于系统和最终客户。

无与伦比的高性能、优化的分区、低功耗、低成本、低风险、更出色的财务业绩、系统灵活性、可扩展性、可升级性、得到世界级工具和生态系统的支持、基于业界开放标准的 IP 以及熟悉的编程环境,等等,这些都是极具说服力的优势。欢迎垂询您当地的赛灵思办事处了解有关赛灵思 Zynq-7000 All Programmable SoC 平台的更多详情,它将大幅提高您的开发效率,并为您全新的 Smarter System 设计项目开启巨大的差异化商机。

七、赛灵思 Zynq 器件软硬件开发 300 问

Q1: 可否介绍下开发软件的构成?

答: 处理器系统的硬件配置使用 XPS,软件开发可以使用 Xilinx 的 SDK 或其他第三方的开发环境如 ARM 的 DS-5 等。

Q2: A9 和 PL 之间的速度达到多少? PL 的 RAM 是否都可以被 A9 访问?

答: A9 和 PL 之间的速度达到多少之间的时钟平率取决于选择的 Zynq 器件以及速度等级,合理的时钟频率在 150MHz ~ 250MHz。A9 处理器可以通过 GP 口访问 PL 部分的 BRAM。

Q3: 在设计中用 FPGA 作为系统的主要器件,系统设计中首先要考虑到的问题就是处理器的启动加载问题,Xilinx Zynq 在启动加载方面怎么做的?

答: 正常工作状态下, Zynq 的启动是处理器系统先启动,然后由处理器来配置 FPGA (PL), xilinx 提供了一个 Bootloader 的模板,可以加载 FPGA 的配置文件。

Q4: Zynq-7000 包含硬件乘法器吗?

答: Zynq PS 中没有 FPGA 中的硬件乘法器,但 PS 中的 A9 是定点处理器,可以做定点的各种运算,除此之外, Zynq 的处理器系统中还有有 NEON 和 FPU,可

以支持浮点运算。PL 部分和 7 系列的 FPGA 中的资源类似，有 DSP Slice，可以完成包括乘法在内的很多种算术运算。

Q5: 我刚听到 bit 流是先下载到 ARM 里面，再下逻辑，我是在想 生成的 bit 流难道有 2 个？

答: Bitstream 通过 BootGen 工具与 fsbl 等其他 elf 文件打包成 BOOT.BIN，在 fsbl 运行过程中会将 bitstream 加载到 PL 中。当然在整个系统启动之后，可以进行 PL 的部分重配。

Q6: 是 ARM-A9 加载 FPGA 吗？运行中，FPGA 是否可以重新加载？

答: 可以，请参考

http://www.xilinx.com/support/documentation/application_notes/xapp1159-partial-reconfig-hw-accelerator-zynq-7000.pdf

Q7: ARM+FPGA 是不是功耗很大？

答: 功耗取决于所使用的资源的数量、工作频率、Toggle Rate 等，Zynq-7000 采用 HPL(高性能、低功耗)的制造工艺，功耗要优于竞争对手的同类产品。

Q8: 采用什么方式下载 BOOTLOADER？

答: First Stage Bootloader 一般保存在 Boot Memory (可以试 SD 卡、QSPI Flash、NAND 、NOR Flash)，在 Zynq 上电之后，Zynq 内部固化的 BootROM 执行之后，会从 Boot Memory 中读取 First stage Bootloader

Q9: 请问开发用的软件是免费提供的吗？

答: 有免费的版本

Q10: 您好，7020 由于管脚复用问题，无法同时支持 qspi、nand、norflash，请问将来可否有更新型号的基于 A9 架构 cpu 能支持同时使用 qspi、nand flash 和 nor flash，该型号什么时候能上市

答: 目前无法同时支持多种 boot Memory，主要是受限于 MIO 管脚数目，如果需要同时使用，用户可以再 FPGA (PL)中用个逻辑实现。尚不清楚未来的产品是否会同时使用这些 Boot Memory.

Q11: 两个核之间是什么关系？主从？并行？各有任务？

答: 原则上，两个 A9 核是相互独立的，是否有主从关系，取决于所使用的 OS、用户的使用方式等。

Q12: FSBL 需要自己写，添加完成？

答: Fsbl 是 SDK 根据 XPS 中的配置自动生成的，不需要用户自己编写。客户可以在自动生成的代码基础上进行修改。

Q13: 开发环境支持哪几种操作系统

答: Xilinx 的开发工具有 linux 和 windows 的版本

Q14: Xilinx Zynq 器件是针对哪些领域的, 消费电子还是工业控制或者军工类

答: Zynq 目前的在很多应用中都有成功案例, 如工业控制 (马达、伺服、PLC、工业 Ethernet)、视频处理、医疗影像处理、有线无线通信、汽车电子等。

Q15: Zynq 可以支持哪些操作系统? 譬如 ucos,uclinux,linux,RTOS, WinCE。

答: 你提到的这些 OS 基本上都能支持, 更多的信息可以访问 xilinx 的 wiki 网站。

Q16: 请问: Zynq 能达到的最低功耗是多少?

答: 在 Standby 状态下, (CPU0 工作在比较低的频率, CPU1 不工作, 关掉 FPGA), 最低为 90mw。

Q17: SD 卡启动有什么详细说明文档或者是否已经实现了?

答: SD 卡启动已经实现, 关于启动流程可以参考 UG821 文档, 里面有详细的描述。

Q18: AD 最多可以同时实现几路? 采样速度是多少?

答: 外部最多可接 17 路模拟量, 采样速度 1MHz。

Q19: 高速通讯的最大速率是多少 请问: 高速通讯的最大速率是多少 高速通讯的最大速率是多少?

答: A9 和 PL 之间的速度达到多少之间的时钟频率取决于选择的 Zynq 器件以及速度等级, 合理的时钟频率在 150MHz ~ 250MHz。有的 Zynq 器件还有 4 ~ 16 个串行收发器, 每个收发器的速率可以达到 6.6G bps ~ 12.3Gbps。

Q20: 目前的 ISE14 版本以上才能适用这个 ZYNQ? ?

答: ISE14.1 ~ ISE14.5 都可以, 我们建议用最新的版本。

Q21: Zynq 通过 AXI_HP 读写 DDR 时, 如何实现地址操作?

答: HP 端口是通过一个类似 FIFO 的接口访问 DDR Controller, 可参考 http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf 第十章

Q22: Zynq 与 TI 的达芬奇系列相比有哪些优势?

答: TI 的达芬奇主要应用于视频处理, 而 Zynq 可使用与更广泛的应用, Zynq 的 FPGA 资源可以做硬件加速, 极大提高性能和灵活性。

Q23: 是不是这样? Zynq 逻辑资源只作为外设配置使用, 主要是操作系统内核工作。这样理解正确吗?

答: Zynq 的逻辑资源可以看做是处理器系统的性能、外设的扩展, 处理器系统可以用来做 OS、人机界面、通信等工作。

Q24: Flash 以及 SD 卡最大能加多大容量的外部 SD 卡

答: NOR Flash: 64MBytes

NAND Flash: >1GBytes

SD: 32G Bytes

Q25: 能详细介绍下 FSBL 如何烧写以及作用吗？

答: Xilinx 提供了一个 FSBL 模板, 生成.elf 文件之后, 可以使用 SDK 中的 Flash Programmer 小工具来烧写 QSPI、NOR Flash, 或者使用 SD 读卡器写入 SD 卡、或使用专门的编程器、u-boot 烧到 NAND Flash.

Q26: CPU 的频率和 DDR 频率不相同, 对 PL 的部分会有什么影响吗

答: 没有特别的影响, 因为 AXI Interconnect 有 FIFO, 允许 Master 和 Slave 有不同的时钟频率。

Q27: 请问 A9 双核处理器中, 其中单个处理器可以单独跑实时系统吗?

答: 可以, 详情请见 xapp1078 这个参考设计地址在

http://www.xilinx.com/support/documentation/application_notes/xapp1078-amp-linux-bare-metal.pdf

Q28: 请问怎样在 PS 和 PL 之间传输图像? 都需要完成什么

答: 可以通过一个或多个 HP 口传输图像、视频数据, Xilinx 有一个 Sobel Filter 的 Demo, 可供参考。

Q29: 能支持多大的 SD 卡?

答: 32GB

Q30: 请问启动代码可以进行加密吗

答: 可以加密, 详情请见 UG821 文档

Q31: Zynq 芯片其 CPU 内核可以跑到多少 MHZ? 如果 ARM 代码量大的话, 会否占用部分逻辑资源呢? 会影响逻辑的时序吗?

答: A9 的主频取决所选择的器件和速度等级: 7010 / 7020: 667MHz / -1 Speed; 733MHz / -2 Speed; 800MHz / -3 Speed
7030/7045/7100: 667MHz/-1 Speed; 733Mhz/-2 Speed; 1GHz / -3 Speed

Q32: 软件开发方面支持哪几种操作系统, 移植会不会不方便

答: 几乎所有主流的 OS 都支持, 如 Vxworks, OSE, uc/OS, WinCE, Android, QNX, ThreadX. 等

Q33: 请问现在能够大量供货吗?

答: 可以, 7010 / 7020 / 7030 / 7045 已经量产。

Q34: 用什么软件进行开发, 能提供一下下载链接吗?

答: 处理器系统的硬件配置使用 XPS, 软件开发可以使用 Xilinx 的 SDK 或其他第三方的开发环境如 ARM 的 DS-5 等

Q35: boot rom 用户无法修改吗?

答：无法修改

Q36: 这个 ARM 带 LCD controller 吗

答：不带，可以在 PL 部分利用相关 IP 可实现同样功能

Q37: 能支持的 NAND Flash 最大容量是多少？

答：目前测试过 SLC NAND 1GBytes, 更大容量的 NAND 还没有测试过。

Q38: LAN 还需不需要外加 PHY?

答：需要加外部的 PHY

Q39: 我想知道 NEON 协处理器使用的 DEMO,怎样充分使用这个协处理器,有没有相关文档说明, 谢谢!

答: Xilinx 有一个 Sobel Filter 的 Demo, 可供参考

Q40: 希望看到更多的案例。谢谢

答：请联系我们本地的技术支持工程师

Q41: 有评估板么？

答：有，安富利合作伙伴电子创新网商城有售 zedboard，购买地址：
<http://malleetrend.com> 售价 2988RMB。

Q42: ZYNQ 相对其他厂家的 ARM 硬核有哪些特色?比如说美高森美的带 M3 内核?

答: ARM 硬核基本上都是基于 ARM 提供的 IP 设计的, 相对美高森美来说, ZYNQ 内带的是 Cortex A9 的双核。

Q43: 这个内部的 Boot Rom 放得什么？

答：初始化外部存储设备接口的代码，以及读取 fsbl 到 OCM 中，详见 UG821 文档。

Q44: 如果 NAND Flash 启动的话，外接 NAND Flash 需要多少个引脚啊，从需要用 MIO 吗

答: 8 个控制信号 + 8 位或 16 位 数据线, 如果 NAND Flash 是 Boot Memory, 必须使用 MIO.

Q45: 现在 xilinx 的软核处理器还保留着吗？和这个硬件的 ARM 处理器冲突吗

答：是的，用户还可以用逻辑部分实现一个或多 Microblaze 处理器系统，Microblaze 可以和 ARM 协同工作，也可以各自独立工作。

Q46: 对 Linux 的支持也多是商业发行版啊

答: Xilinx 有免费的 Open Source Linux, 请访问 wiki.xilinx.com

Q47: 通过 ARM 核加载那不是启动时间很长了？

答：启动时间跟选择的外部存储设备有关系，比如 QSPI 比 SD 卡就要快很多了。

Q48：请问可不可以通过 ARM 的 linux 系统对 FPGA 进行在线重配置？

答：可以，请参考

http://www.xilinx.com/support/documentation/application_notes/xapp1159-partial-reconfig-hw-accelerator-zynq-7000.pdf

Q49：是否可以用作 soho 的无线网关？包处理能力？

答：可以

Q50：以太网外接的 PHY 有要求吗

答：可以支持 MII、GMII、RGMII、SGMII 的 PHY。

Q51：中文的资料好像还不多？

答：《嵌入式系统软硬件协同设计实战指南:基于 Xilinx Zynq》

Q52：价格是多少？有没有 demo 可参考？

答：安富利合作伙伴电子创新网商城有售 zedboard，购买地址：
<http://malleetrend.com> 售价 2988RMB。可到 Xilin 官方网站或
www.zedboard.org 上下载一些参考设计。

Q52：请问 FPGA 部分可以连接 PCI 总线吗？

答：可以，但 PCI Core 不是免费的

Q53：请问 7000 系列接口丰富，支持哪几种通讯方式，GPIO 适宜什么场合？谢谢

答：各种 IO 外设，如 UART、Ethernet、USB、CAN、GPIO 甚至是串行收发器，都是通信接口。

Q54：应用实例的代码开放吗？

答：有 Source Project，包括 Source Code.

Q55：对 Zynq-7000 加载代码需要什么硬件接口？

答：Zynq 支持从 QSPI、NAND Flash、NOR Flash、SD 卡启动，不需要特殊的接口。

Q56：如果想扩展多路以太网，容易实现吗？

答：可以用逻辑资源扩展多路 Ethernet MAC，有现成的 IP Core，但有可能需要 License.

Q57：提供免费的开发环境吗？

答：Xilinx SDK 是免费的

Q58：开发难度如何？

答：如果客户有处理器(最好是 ARM)方面的开发经验，那么 Zynq 的开发相对比较简单。

Q59：看到芯片带看门狗功能，请问这个看门狗有没有电压过低检测功能？

答：Watchdog 没有这个功能，但 Zynq 器件内部的 XADC 可以实现该功能。

Q60：用两片 QSPI 时，8-bit Parallel I/O 和 4-bit Stacked I/O 这两种连接方式有区别呢？

答：手册 UG585 最新版本的 12.5 I/O Interface 对各种模式有非常详细的介绍。

Q61：为什么说 ZYNQ 平台是在一些非通讯类的新兴市场会有巨大的发展潜力？通讯类的产品不能用 ZYNQ 吗？ZYNQ 应该是款非常灵活的通用的嵌入式平台。

答：Zynq 目前的在很多应用中都有成功案例，如工业控制（马达、伺服、PLC、工业 Ethernet）、视频处理、医疗影像处理、有线无线通信、汽车电子等。

Q62：能试用吗？

答：请联系我们本地的技术支持工程师 联系热线 400-000-3868

Q63：Xilinx Zynq 器件硬件目前主推可编程逻辑类产品型号是什么？可以同时处理几路开关信号输入、模拟量信号输入及几路开关信号输出？

答：Zynq 的 7010、7020 成本低、有比较高的性价比。Zynq 中的 ADC 最多可以接 17 路 模拟量输入。

Q64：嵌在芯片内的 ARM9 是硬核还是软核？

答：硬核

Q65：你好，两片 qspi 共用数据线，片选需要开发人员手动切换 cs 么

答：手册 UG585 最新版本的 12.5 I/O Interface 对各种模式有非常详细的介绍。控制器应该是可以根据地址自动来切换 CS 信号的。

Q66：评估板的售价是多少

答：Zedboard 395\$,安富利合作伙伴电子创新网商城有售 Zedboard，购买地址：<http://malleetrend.com> 售价 2988RMB。

Q67：有没有现用的库？方便软件开发？

答：安装 SDK 中包含了各个接口的 BSP 代码，还有一些第三方的库，比如 LWIP, freertos 等

Q68：现在主要用的 3.3.6 版本的 kernel 和以前的 2.6.30 等版本的主要改进了什么？差别在那些地方？如果将 kernel 从 2.6.30 版本更新至 3.3.6 版本的话，对于提高开机时间，运行速度是否有帮助？

答：内核版本的升级通常会在驱动架构上，任务调度管理等方面会有优化，但对于开机时间来说可能不会有太大的帮助。

Q69: 支持的汇编程序是宏汇编吗

答: ARM 汇编

Q70: 在使用 ZedBoard 时, 2.6 内核, 对于定制 IP 后, 驱动编写没有方向。我们参考了 UG925 的视频处理设计 TRD, 其中似乎将驱动与 Linux 程序一起在 SDK 中编译。如果将 IP 的物理地址映射成内存的虚拟地址, 是不是就可以不改变设备树文件。我们的 IP 有 INTERCONNECT, VDMA, 滤波器, 控制是 GP 接口, AXI_Lite, 数据是 HP 接口, AXI_Stream, 希望得到指导。谢谢

答: 首先要弄清楚设备树文件时起到什么作用的, 设备树是为了降低内核目录的复杂度, 将原本由 C 代码描述的单板上接口的信息通过设备树来描述。这和 IP 的物理地址映射成虚拟地址没有直接的关系, 就算以前没有设备树的年代, 也是需要进行虚实转换之后通过虚拟地址才能正常访问的。

这些 IP 并不是各个都要软件驱动去控制, 像各种 AXI 总线这不需要有软件来控制, 应该是 FPGA 逻辑自己来维护它的正常工作的。

Q71: 1.Zynq 内嵌的 ARM 好像不带 TFT 的 LCD 控制器, 如果我们系统需要要求较高的显示, Xilinx 有没有具体的解决方案? 2.Zynq 的硬件设计是不是就是和 ARM+FPGA 的系统类似? 它有什么特别的地方? 有什么特别要注意的地方? 供电部分都有什么特殊要求? 3.Zynq 在 Linux 下的驱动都有哪些? Xilinx 现在对 linux 的支持怎么样?

答: 可以提供 HDMI 显示输出的 demo, 也可以提供 LCD 显示 demo 的 IP 和 linux 驱动代码。

Q72 问: 在我们系统中使用了 XCZ7010 处理器, 已经使用了 QSPI, 请问 PS 部分 NAND FLASH 还可以用么?

答: 不可以

Q73: qspi 的共用数据线的 cs 问题

答: 手册 UG585 最新版本的 12.5 I/O Interface 对各种模式有非常详细的介绍。控制器应该是可以根据地址自动来切换 CS 信号的。

Q74: Xilinx Zynq 器件硬件和嵌入式软件的开发有哪些优势?

答: 主要是可以软硬件协同工作, 充分发挥 ARM 处理器和 FPGA 逻辑各自的优势, 去完成系统控制和信号处理的工作。

Q75 问: 除了 Linaro 之外, 还支持什么 linux 版本

答: Linaro 只是一个文件系统, android 也算一个 linux 版本吧。

Q76: 有無相關實際演示的教程或是文檔?

答: 可到 Xilinx 官方网站或 www.zedboard.org 上下载.

Q77: 请问 PS 中有 4 个 DMA 到 PL, 这和 AXI DMA 有什么异同?

答: PS 中的 DMA 是硬核 DMA Controller, 而 AXI_DMA 一般是指用逻辑实现的软核 DMA 控制器。

Q78: 目前在国内小批量购买 zynq 器件和 zynq 核心模块的渠道还不是十分通畅。我在网上看到很多国外企业设计的 zynq 核心模块，但是大多没有国内代理，希望能够想办法解决。

答：可以联系 Avnet 在各地的支持工程师

Q79: 在 Vivado 工具中能够调用 EDK 的系统吗，类似在 ISE 中调用 EDK 的系统？这样方便把之前的 EDK 系统移植到 Vivado 工程中。

答：Vivado 目前还不支持 Zynq 的开发，用户需要使用 PlanAhead 或 ISE（启动 XPS 和 SDK）进行 Zynq 开发。

Q80: 请问在电机控制方面有哪些支持？

答：Avnet 有一些关于马达控制的参考设计，可以用 FPGA 逻辑实现矢量控制的算法。如有兴趣可以联系我们本地的工程师。

Q81: 请问怎样在 PS 和 PL 之间传输图像？都需要完成什么

答：可以通过一个或多个 HP 口传输图像、视频数据，Xilinx 有一个 Sobel Filter 的 Demo，可供参考。

Q82: 当下，学习嵌入式技术是否合适？

答：学习使人进步，学习科学知识什么时候都合适。

Q83: 在 Zynq 平台上，可以通过 Linux+QT 实现通用的上层 APP 设计。这种设计能否移植到其他 FPGA 平台上，如在 Spartan6+MicroBlaze 平台上实现 Linux+QT，或者有没有类似的通用上层 APP 开发环境。

答：在 OpenHW 开源硬件与嵌入式大赛上已经有人这么做了，他们的设计摘要如下：高速化、高精度、低成本、小型化数控控制系统已经成为数控机床加工行业的发展趋势。本文提出 QT+Linux+Microblaze 的设计方法，由 QT 设计人机交互数控加工工作界面，借助 Linux 过渡最终移植到 Microblaze，产生加工所需的图形以及获得图形数据；在 FPGA 上配置可并行工作的插补 IP 核以及脉冲发生 IP 核，最后控制三轴电机联动走出需要的加工轨迹。实验证明，该系统具有高速、小型化、高精度等优点。

Q84: 请问怎样在 PS 和 PL 之间传输图像？都需要完成什么

答：可以通过一个或多个 HP 口传输图像、视频数据，Xilinx 有一个 Sobel Filter 的 Demo，可供参考。

Q85: 通过嵌入式 Linux，读取 PL 写入的 DDR 中数据时，存在噪声点。

答：需要处理好 cache 一致性的问题。

Q86: zedboard 开发板的对外视频输出口有一些什么接口？在 ARM 内核中该如何调用？

答：HDMI 和 VGA，有相关的参考设计可供参考。

<http://wiki.analog.com/resources/tools-software/linux-drivers/platforms/zynq>

Q87: FPGA 部分的开发用什么环境? 用什么编程语言?

答: 处理器系统的硬件配置使用 XPS, 软件开发可以使用 Xilinx 的 SDK 或其他第三方的开发环境如 ARM 的 DS-5 等, 处理器系统的开发语言可以是汇编、C/C++

Q88: 请问通过 XPS 来对处理器进行一些资源的配置是怎么样一个过程呢?

XPS 对处理器资源配置的操作过程大致是怎么样呢? 谢谢!

答: 安富利有相关的培训, 请联系安富利本地的工程师。

Q89: CPU 和 DDR 速率不一样, 对 PL 会有影响么?

答: 没有特别的影响, 因为 AXI Interconnect 有 FIFO, 允许 Master 和 Slave 有不同的时钟频率。

Q90: 1.请问这个 SOC 除了具备 ARM 的特性, 是否兼备 FPGA 的特性? 2.如果可以做 FPGA, 有多少 LUT? 能跑多少 MHZ?

答: Zynq 是以包含了 ARM dual Core 处理器系统和大量 FPGA 资源的 SoC, 逻辑部分的资源请参考产品手册。

Q91: 请问 IP 核的驱动程序可以在 SDK 中直接编译么

答: 如果是裸机的驱动程序可以直接在 SDK 中编译, 如果是 linux 环境下的驱动程序, 需要再 linux 环境中通过交叉编译工具编译。

Q92: Xilinx Zynq 器件支持外部的 rom/flash 和 RAM 吗?

答: 支持

Q93: 请问 FPGA 芯片测试时需要的主要注意事项有哪些?

答: 请联系安富利本地的技术支持工程师

Q94: 新的 FPGA 芯片其开发工具是否有变化?

答: 建议使用 ISE 14.x 以上的版本或 Vivado

Q95: 编译环境收费吗

答: 不收费

Q96: 开发环境, BSP 支持是不是很完善?

答: 在 ISE 安装目录中已经包含各个外部控制器裸跑的 BSP 驱动代码, 各种操作系统的驱动代码支持也非常完善, 客户只需要关注自己系统设计的需求。

Q97: 请问 IP 核的驱动程序可以在 SDK 中直接编译么

答: 如果是裸机的驱动程序可以直接在 SDK 中编译, 如果是 linux 环境下的驱动程序, 需要再 linux 环境中通过交叉编译工具编译。

Q98: 有低功耗设计吗

答: 有, 可以联系我们本地的技术支持工程

Q99: Xilinx Zynq 待机电流怎如何?

答: 在 Standby 状态下, (CPU0 工作在比较低的频率, CPU1 不工作, 关掉 FPGA), 最低为 90mw。

Q99: 有哪些措施可以使接触这款板子的工程师更快将板子应用于产品研发中?

答: 安富利有相关的培训, 网上有一些培训资料和参考设计, 另外安富利本地的工程师也可以提供培训和支持。

Q100: ZYNQ 器件是否支持部分可重构, 具体怎样做到, 有哪些参考文档

答

:

http://www.xilinx.com/support/documentation/application_notes/xapp1159-partial-reconfig-hw-accelerator-zynq-7000.pdf

Q101: 请问 Xilinx Zynq 的功耗以及性能如何? 2.对于信号处理能力、滤波、数字转换等处理速度如何? 3.由于本人现在的项目中主要采用 DSP, 在未来的试验项目中将采用多核处理, FPGA 与 ARM 的结合是个不错的选择, 贵公司的推出的开发板是否容易上手? 技术支持怎么样?

答: 在 Standby 状态下, (CPU0 工作在比较低的频率, CPU1 不工作, 关掉 FPGA), 最低为 90mw。每个 A9 最高主频可达 1GHz, 处理能力 2500 DMIPS, 具体的技术问题可以和我们本地的技术支持工程师联系。

Q102: 基于 Linux 开发和裸机开发程序模块能否通用? 如果不能, 有没有相应文档来指导将裸机程序移植到 Linux?

答: 不能直接使用, 在裸机下基本上是通过物理地址直接访问外设, 在 linux 下启动 MMU 后用户态是通过虚拟地址访问的。而且在 linux 是有用户态和内核态, 用户态通常不能直接访问外设。

Q103: 如何高效使用 cache 来加速程序运算性能?

答: 在系统方案设计上要善于利用 ARM 的 prebad 的功能在处理 Cache 中已有数据的同时进行加载新的数据, 保持数据处理流水不被打断。

在多核平台上更要关注 Cache 一致性的问题, 在 ZYNQ 平台上还需要注意由于 PL 通过 HP 端口向 DDR 写数据带来的数据一致性问题。

Q104: 视频的清晰度如何? 如何设计使视频更清晰。

答: 这个取决于你的产品需求, 目前 FPGA 已经广泛用于高清视频的信号处理中。Xilinx 有很多 IP 可以实现提高视频清晰度的处理。

Q105: Zynq 逻辑资源只作为外设配置使用,主要是操作系统内核工作。这样理解正确吗?

答: Zynq 的逻辑资源可以看做是处理器系统的性能、外设的扩展, 处理器系统可以用来 OS、人机界面、通信等工作。

Q106: 关于 EMIO 部分, 管脚设置是在 XPS 设置还是在 UCF 文件指定?

答：一般是在 XPS 中的 PCW 中，当然也可以手动编写.ucf

Q107：一定要先加载处理器？能否只是用 PL，不适用 PS？

答：一定是要 ARM 先运行起来，有 ARM 执行的代码来加载逻辑部分。系统起来后，可以通过将 ARM 处于 WFI 或 WFE 状态来达到节省功耗的目的。

Q108：DSP 含有哪些资源？含多少个多少位的乘法器？

答：是指逻辑资源中的 DSP48 Slice，具体请参看产品手册。

Q109：请问,Zync7000 相对于通用的 A9 处理器+独立 FPGA 芯片,有什么优势？成本？开发难度？可靠性？

答:Zynq-7000 是一个真正的高性能 SoC,在单个芯片中客户可以方便地进行软、硬件任务的划分,可减少板子的面积、简化电源设计、降低成本等,适合作为不同产品的研发平台。

Q110：ZYNQ 器件是否支持部分可重构，具体怎样做到，有哪些参考文档

答

:
http://www.xilinx.com/support/documentation/application_notes/xapp1159-partial-reconfig-hw-accelerator-zynq-7000.pdf

Q111：请问可以申请样片吗

答：请联系本地工程师

Q112：这个平台其它总体上十分强大，但我觉得少了一个 OpenGL ES 部分

答：Xilinx 提供免费下载的 Android 2.3 解决方案。该方案适用于 Xilinx Zynq-7000 开发板，其源文件同样存储在 Xilinx GIT 资源库中。Android 解决方案使用基于显示控制器和 OpenGL ES 1.1 的图形加速器，同时它也是 Zynq-7000 可编程逻辑的一部分。

Q113：一定要先加载处理器？能否只使用 PL，不使用 PS？

答：不能

Q114：Zynq7000 的视频处理能力如何，视频信息通过什么接口输出？

答：目前可以通过 HDMI 以及 VGA 等接口输出。

Q115：Xilinx Zynq 器件在无线通信领域未来前景如何？您看好朝哪个方向发展。

答：Zynq 目前的在很多应用中都有成功案例，如工业控制（马达、伺服、PLC、工业 Ethernet）、视频处理、医疗影像处理、有线无线通信、汽车电子等。

Q116：有没有 FPGA 和 A9 的具体的通信例程？

答：PL 和 PS 之间的有 4 个 HP 口、4 个 GP 口、一个 ACP 口，但这些接口都使用 AXI 标准，我们有一些参考例子。

Q117: 如何让这个平台支持 OpenGL ES?

答: 请联系安富利本地的工程师

Q118: Cortex-A9 有省电功能吗?

答: Cortex-A9 本身没有什么省电的功能, 省电是通过动态调整 CPU 的工作频率, 外部控制器工作状态等方式来达到的。

Q119: 您好, 我现在做的项目为电磁流量计, 里面的数字信号处理部分采用的是 DSP, 但是在未来设计浆液流质测量时, 由于其控制与算法较为复杂, 感觉到 DSP 性能较为不足, 采用该款芯片可以替代 DSP 吗? 性能可以在哪些方面得到提升?

答: 可以, 逻辑在做一些算法是, 性能远高于 DSP Processor, 我们的 FPGA 资源有许多数字信号处理方面的成功案例, 请联系我们本地的工程师。

Q120: 嵌入式开发工具哪里下载? 免费?

答: 可在 Xilinx 官方网站上下载, 有免费版本

Q121: 请问从其他的芯片转移到贵公司的, 移植的成本, 时间大不, 贵公司是否有相关的帮助?

答: 如果客户有处理器(最好是 ARM)方面的开发经验, 那么 Zynq 的开发相对比较简单。

Q122: 请问所附带的 ADC 速度如何? 是否能适用于目前普遍通信制式系统信号处理的开发中? 谢谢!

答: 最多可接 17 路外部模拟量, 采样速度 1MHz, 精度 12-bit

Q123: ARM 是怎样控制 FPGA 部分的上电或者加载?

答: 同 Device Configuration 端口来配置 FPGA, Xilinx 提供了一个 First Stage Bootloader 的模板程序, 可以加载 FPGA 的 bitstream、以及处理器系统的其他.elf 代码。

Q124: 在一款芯片内部集成并连接 ARM 和 FPGA, 比起外部直接用 2 块芯片来做, 请问你们的设计达到了哪些优势? 例如内存共享等。

答: Zynq-7000 是一个真正的高性能 SoC, 在单个芯片中客户可以方便地进行软、硬件任务的划分, 可减少板子的面积、简化电源设计、降低成本等, 适合作为不同产品的研发平台。

Q125: 请问 zedboard 的 vGA 输出的操作系统有没有?

答: 有 VGA 输出接口

Q126: 这个片和通常使用的 FPGA 程序加载有什么区别? 也是通过 JTAG 口?

答: 在调试阶段, 可以使用 JTAG 分别调试 PS 和 PL, 正常工作时, 是 PS 先 Boot, 然后负责加载、配置 FPGA

Q127: 我想问一下, Zynq 平台和其他 FPGA 平台做兼容性设计的时候(比如 Spartan-6+Microblaze), 有没有通用的或者方便移植的 GUI 环境, 比如在 Zynq 上使用 QT, Microblaze 上是否也支持 QT, 或者是有其他的两个平台都支持的兼容型 GUI 开发环境

答: 目前, Xilinx 器件处理器系统的开发都是在 XPS + SDK 上, 你提到的 QT 是处理是否支持 QT 框架。Zynq 是可以支持 Qt 的。

Q128: Zynq 电源供电设计有上电要求?

答: 上电顺序有比较严格的要求, 请参考 ds187.pdf Page-6 / Page-7, 下载地址在

http://www.xilinx.com/support/documentation/data_sheets/ds187-XC7Z010-XC7Z020-Data-Sheet.pdf

Q129: PS 系统和 PL 之间有 9 条 AXI 总线, 其中 4 条是 32 位宽, 5 条是 64 位宽, 以接口速率 250MHz 为例, 总带宽超过 10GBps, 远远大于通常的 PCIe 或者 RapidIO 等芯片级互联接口?

答: 是的, Zynq 里面的 PS 和 PL 之间的带宽是很宽的, 可以满足绝大多数无线和视频等高速信号处理的需求。

Q130: 请问芯片的发热如何, 能否工作在比较高的温度环境中?

答: 用户可以选择工业档芯片, 节温范围可以达到: -40 ~ 100 度

Q131: 能使用普通 ARM 开发环境进行开发 Zynq 吗?

答: 处理器系统的硬件配置使用 XPS, 软件开发可以使用 Xilinx 的 SDK 或其他第三方的开发环境如 ARM 的 DS-5 等。

Q132: 在开发中, XC7Z010-CLG484 和 CLG225 在开发中主要有哪些不一样? PS 操作 DDR 主要有 MMU 吗? PL 使用 DDR 如何管理存储地址?

答: CLG225 因为封装小, MIO 仅有 32 个, 其他封装都是 54 个; DDR 仅支持 16-bit 宽度, 不支持 32-bit。PS 访问 DDR 主要是通过 SCU。

Q133: FSBL 加载是什么意思?

答: FSBL 加载就是把 FSBL 从外部存储器中拷贝到 OCM 中运行。

Q134: 请问抗干扰能力如何, 能否稳定工作在高电压, 强磁场的环境中?

答: 抗干扰设计比较复杂, 并不只是取决于器件, 电源、地的设计, PCB Layout 等都有影响。

Q135: SPI Flash 有 128MB 的吗?

答: 是的, 6 月中旬会在驱动方面提供支持。

Q136: 这个 ARM 硬核可以跑到多少 M? 只有 A9 硬核吗? 逻辑资源和大概 K7 V7

还是 spartan 相比差距有多少呢？这个和成本和功耗的优势大概有多少呢？这个使我们比较关心的。以为单芯片的毕竟布线要简单一下。但是不清楚功耗和成本能节省多少？

答：A9 的主频取决所选择的器件和速度等级：7010 / 7020: 667MHz / -1 Speed; 733MHz / -2 Speed; 800MHz / -3 Speed，逻辑资源最大可达 440K 个 LC，其他资源请参考产品手册。

Q137：开发使用什么软件支持？是收费的吗？

答：处理器系统的硬件配置使用 XPS, 软件开发可以使用 Xilinx 的 SDK 或其他第三方的开发环境如 ARM 的 DS-5 等。可在 Xilinx 官方网站上下载，有免费版本。

Q138：对于完全没有 FPGA 开发经验，使用这款芯片的开发难度有多大

答：比较大，除了 FPGA 的设计之外，希望客户有处理器方面的开发经验。

Q139：请问 Zynq 开发板提供 FPGA 的 Powerlink IP 吗？是否免费？

答：PowerLink IP 的问题可以直接和我们本地的工程师沟通。

Q140：会不会考虑采用其它内核如 M3，M0？

答：目前没有这个计划，但 Xilinx 还有基于软核处理器 Microblaze 的方案，完全可以替代 M3, M0。

Q141：A9 比 Cortex -M4 在高端应用中更有优势？主要指那些应用

答：M4 一般应用于性能要求不高应用场合，相当于一个高端的单片机。而 A9 的处理性能要高的多，应用范围更为广泛。

Q142：Zynq 现在是否已经量产？是否市面上已经有货

答：可以，7010 / 7020 / 7030 / 7045 已经量产。

Q143：NOR Flash 接口速度多少？

答：NOR 的接口速度不仅取决于 Zynq 内部的 SMC Controller，而且取决于用户选则的 NOR Flash 芯片。

Q144：采用什么下载器下载程序？

答：调试阶段，可以用 JTAG 下载代码、bitstream，量产之后，代码、bitstream 可以存放在 Boot Memory 中，由 Bootloader 负责加载。

Q145：请问是否支持 LCD？

答：支持，可以提供相应的 IP 和驱动

Q146：目前的主流开发环境支持这款芯片吗？还是需要更高版本的开发环境？

答：目前主流的开发环境都可以支持 Zynq，具体的版本可在 Xilinx 网站找到。

Q147：Xilinx 的除法能力怎么样？请从精度和速度方面讲解一下，谢谢！

答：请问是定点除法还是浮点除法？A9 可以做定点运算，NEON / FPU 可以做浮点运算，另外，Xilinx 和第三方也有用逻辑资源实现的 IP。

Q148：这个 ARM 硬核可以跑到多少 M？只有 A9 硬核吗？逻辑资源和大概 K7 V7 还是 spartan 相比差距有多少呢？这个和成本和功耗的优势大概有多少呢？这个使我们比较关心的。以为单芯片的毕竟布线要简单一下。但是不清楚功耗和成本能节省多少？

答：只有 A9 硬核，可以运行在 800M 到 1G 的频率，看具体的芯片信号。

Q149：Xilinx 的除法能力怎么样？能从其处理的精度和速度方面讲解一下吗？

答：请问是定点除法还是浮点除法？A9 可以做定点运算，NEON / FPU 可以做浮点运算，另外，Xilinx 和第三方也有用逻辑资源实现的 IP。

Q150：此款 SOC 工作温度范围多少？

答：商业级：0 ~ 85 度

工业级：-40 ~ 100 度

E 级：0 ~ 100 度

汽车级：-40 ~ 125 度

军品级：-40 ~ 125 度

Q151：采购和样片提供，如何获取？

答：请联系本地销售工程师

Q152：usb-mini Zynq 开发板什么时候推出呀？

答：今年下半年有计划推出

Q153：FPGA 既然需要配置芯片，那么 ARM 的软件是否可以和 FPGA 的配置文件放在一处呢？

答：可以放在同一个 Flash 中。

Q154：开发板自带仿真工具吗？

答：不带，可以直接使用 Macro USB 线下载 bitstream、应用程序代码,然后进行调试。

Q155：XADC 是属于 PS 部分还是 PL 部分？

答：属于 PL 部分，但 PS 和 PL 都可以访问 XADC。

Q156：ZYNQ 最高主频能达到多高

答：1G Hz

Q157：ARM 的时钟和 FPGA 的系统时钟使用同一个时钟引脚还是分开的，或者说 7000 的时钟树是咋样的？

答：ARM 有一个时钟输入引脚， PS_CLK，经过内部的 PLL 之后，产生 PS 部分所需的各种时钟，如 ARM Core、Interconnect、各种 IOP，DDR 的时钟，当然也可以产生 4 路不同的时钟信号给 PL，PL 当然也可以使用从外部管脚来的时钟信号。

Q158：提供的案例源代码开放吗

答：我们的很多 Demo 都可以提供 Source Project 和 Source Code

Q159：该款芯片中文资料多吗

答：《嵌入式系统软硬件协同设计实战指南:基于 Xilinx Zynq》

Q160：能详细介绍 zynq 内部数据总线的连接方式？

答：Zynq 中 PS 内部各个模块之间的连接一般是 AXI 或 APB，AHB，但对外部逻辑的接口一般都是 AXI。

Q161：我们有一种应用，就是需要为 FPGA 存储一张表格，表格的大小是 512x512x8bit。目前我们是通过外挂 SDRAM 来实现，请问专家是否可以用 NOR FLASH 来实现呢？Flash 的访问延时大概多少？

答：可以考虑使用 PL 部分的 BRAM，NOR Flash 的访问延时请参考 NOR 的器件手册。

Q162：请问这个 ARM 里有 PWM 的模块吗？

答：没有，用户可以用 PL 部分的逻辑资源实现，不是很难

Q163：支持的视屏图像编解码标准及软硬？

答：Zynq 内部没有 Video Codec。

Q164：芯片含有无线通信功能吗？

答：没有

Q165：如果只有 Cortex 的使用经验，现在再入手 Xilinx Zynq 容易吗？该怎样快速上手？谢谢。

答：《嵌入式系统软硬件协同设计实战指南:基于 Xilinx Zynq》

Q166：PCB 设计有无特殊要求？

答：有，Xilinx 提供有相关的文档可以参考，用户也可以咨询我们本地的工程师

Q167：高速串行通道的速率最高到多少？应该不是专为 PCIE 准备的吧？我的意思是可以跑用户自定义的协议吧？

答：12.5Gbps，可以运行用户自定义协议。

Q168：FPGA 与 A9 内核可以共用同一颗 flash 芯片吗？

答：可以

Q169: 有没有简易版的仿真器提供?

答: 可以直接使用 Macro USB 线下载 bitstream、应用程序代码,然后进行调试。不一定需要仿真器。

Q170: 程序能使用编程器直接烧写吗?

答: 可以,但一般是看是哪一种 non-volatile 存储器,可以使用 SDK 中的 Flash Programmer 小工具来烧写 QSPI、NOR Flash,或者使用 SD 读卡器写入 SD 卡、对于 NAND Flash,可以使用专门的编程器、u-boot.

Q171: 可靠性有无保障?

答: ZYNQ 芯片已经推出了一年半,在稳定性可靠性方面已经有充分保证,客户可以放心使用。

Q172: 支持哪些具体的操作系统?

答: 几乎所有主流的 OS 都支持,如 Vxworks, OSE, uc/OS, WinCE, Android, QNX, ThreadX.等

Q173: 芯片本身能够加密吗?

答: 用户生成的 bitstream、elf 可执行代码,都可以是经过加密的,在下载的时候 PL 部分有解密模块。

Q174: 个人感觉 ARM 居于主导地位,想请问 FPGA 程序加载后是否还可以通过独立的 JTAG 来进行 FPGA 的调试呢?

答: 可以

Q175: FSBL 完成后,那么用户自己的应用程序写在什么地方?处在什么阶段?

答: 看用户是利用什么操作系统做开发,如果是 linux 中间还有 u-boot,内核,然后才是应用程序。应用程序一半放到 ramdisk 中。

Q176: 双核之间是何种具体关系?

答: 主从核的差异只体现在启动阶段, CPU0 先启动然后唤醒 CPU1 运行,后续根据用户的设计来分配双核的工作,芯片本身对双核没有差异处理。

Q177: Zynq 有 GPRS 接口吗

答: 没有

Q178: ISE13.4 的版本就可以用来开发 7020 吗?

答: ISE14.1 ~ ISE14.5 都可以,我们建议用最新的版本。

Q179: 实际上 ARM 内核使用的内存空间是不是就是调用的 FPGA 的 block RAM 之类的呢?

答: 不是, ARM 有自己的 L1/L2 Cache, 256KByte OCM, 静态 RAM 控制器 SMC (可接 SRAM),以及 DDR Controller (可接 DDR2, DDR3, LPDDR2)

Q180: 我在考量一个通信系统处理项目, 希望能兼顾嵌入式系统的操控以及 FPGA 对通信系统的数字处理, 希望能获得开发套件进行项目系统的开发。

答: 请联系我们的工程师。

Q181: 有无低碳优势?

答: Xilinx 提供 lead-free 无铅封装。

Q182: 专家能展望下 OpenCL 在未来 FPGA 开发中的前景吗? 多谢!

答: Xilinx 有推出 HLS 工具, 可以实现 C to RTL 转换。十分方便做算法的工程师使用。我们认为是个未来方向。

Q183: 请问双核以及逻辑器件的共同使用, 在功率上消耗有多大, 在低功耗上有什么解决方法和可行方案

答: 功耗取决于所使用的资源的数量、工作频率、Toggle Rate 等, Zynq-7000 采用 HPL(高性能、低功耗)的制造工艺, 功耗要优于竞争对手的同类产品。Xilinx 有一个功耗估计的工具 XPE, 用户根据设计的情况输入相关的参数, 该工具可以估算出一个大致的功耗数据。当然也可以使用 ZC702 板子实际测量功耗。我们的工程师可以就降低功耗提供一些有用的建议。

Q184: 有哪些封装?

答: CLG225, CLG400, CLG484, FBG676, FFG676, FFG900, FFG1156, 请参考产品手册

Q185: 可以配置 OTG 吗?

答: 可以。

Q186: 能讲下 ZYNQ 各个部分的时钟分配的?

答: 请参考 ug585.pdf 第 25 章, 下载地址在

http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf

Q187: 请问: 7000 系列的 USB、I2C 接口和 URAT 接口可否同步使用? 谢谢

答: 是指同时使用吧, 这个当然可以。

Q188: 带有哪些具体的实用接口?

答: PS 部分的 IOP 有: IIC, UART, CAN, USB, Ethernet, SD/SDIO, SPI, GPIO, 基本上涵盖了常用的外设。

Q189: 产品的优势是什么? 那个厂家已经采用?

答: 我们在很多应用各领域都有成功案例, 越来越多的客户已经开始 Zynq-7000 的设计, 请联系本地的技术支持工程师。

Q190: Zynq 在运行过程中要对程序进行升级, 怎么解决加密问题?

安富利专家答: 请参考 ug585.pdf 第 32.4 章节,

http://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-

Q191: ARM 与 FPGA 结合的优势是什么?

答: Zynq-7000 是一个真正的高性能 SoC, 在单个芯片中客户可以方便地进行软、硬件任务的划分, 可减少板子的面积、简化电源设计、降低成本等, 适合作为不同产品的研发平台。

Q192: Cortex-A9 与 Cortex-M4 相比, 优点在哪里? Cortex-A9 主要面向哪些领域, 也就是说在哪些领域 Cortex-A9 更能发挥自己的优势

答: A9 比 M4 在高端应用中更有优势, A9 性能非常强大, 面向相对高端应用, 比如无线基站, 图像处理, 自动导航, 工业控制中的数据采集, 机械设觉, 等等。更多应用请联系当地 Avnet 应用工程师, Zynq 只提供 cortex-A9

Q193: ARM 和 FPGA 的开发控制效率怎样

答: ARM 适合做一些控制, FPGA 适合高速信息处理

Q194: 它内部的 ARM A9 双核, 和其他 ARM 芯片 在用起来 比如运行 OS 系统上 有没有什么特别的地方?

答: ARM 芯片本身与其他 ARM 芯片差异不大, 主要是开发流程中多了 FSBL 这个加载步骤, 这对后续运行 OS 没有太大影响。

Q195: ISE 中对于与 ARM 相联系的部分, 是否已经做好了一个专用的 IP 模块, 直接调用就可以?

答: Avnet 已经有一个例程让你直接使用 ARM, 还有一个例程直接使用逻辑, 方便硬件工程师或者软件工程师早起上手, 具体请联系当地 Avnet 应用工程师。

Q196: 在电机控制方面有哪些支持吗

答: Avnet 作为 top 代理商, 有本地的设计部门专门从事方案的设计。针对电机控制方面, FPGA 设计团队专门设计了完整的基于 FPGA 逻辑的矢量控制算法, 把电流环、速度环、位置环都用逻辑来实现, 实现了很高的性能, 也可以方便实现多轴的电机控制。同时也和贝加莱合作开发了 Powerlink 主站和从站的工业以太网方案。我们还和 KW 合作在 Zedboard 上移植了 soft PLC 方案。总的来说, Avnet 提供的工业方案还是比较完善的, 涵盖了从硬件到工业软件的应用。如果有具体需求, 可以联系 Avnet 的本销售人员。

Q197: Boot romo 将其从外部存储设备拷贝到 OCM。这句话说 bootrom 里程序是用户写的吗

答: BootRom 不是用户自己写的, 是 CPU 出厂就烧写到芯片内部的。

Q198: DMIPS 中的 D 是什么意思?

答: DMIPS = Dhrystone Million Instructions executed Per Second .D, Dhrystone, 一种定点测试程序

Q199: Xilinx Zynq 在加密方面怎么做的？

答：Flash 或者 SD card 中的加载 bistrream 是加密的，解密密钥在 Zynq 内部，Zynq 先解密，然后加载 PS、PL、OS。密钥有两种存储方式，储存在一次性编程的 eFUSE 里面，掉电不丢失密钥，或者存储在 BBRAM 里面，掉电丢失密钥，某些应用中要求迅速从物理上摧毁密钥，BBRAM 满足这种要求。

Q200: FPGA 是否主要针对通信、视频、嵌入式领域？市场比例多大？

答：FPGA 应用的领域很多，之前主要针对通信市场，但近几年在其他一些新兴市场也出现很多应用。在工业控制、视频处理，医疗超声、测量仪器，汽车电子方面都有很大前景。Zynq 器件目前在工业控制和视频处理有很好的应用。

Q201: 请问在视频监控这方面有没有应用案例？

答：FPGA 在传统安防里的高清视频处理已经应用的很广泛了。在视频分析领域目前也有一些客户在用 Zynq 平台来设计，也是我们很看好的一个应用。

Q202: FPU 与 DSP 具体有什么区别啊

答：FPU 与 CPU 紧密相连，可以直接使用浮点处理器指令。DSP slice 在 Zynq 的逻辑部分，DSP slice 的数量相当多，比如 XC7Z020 有 220 个，他们可以并行运行，提供 158GMAC 的性能。

Q203: 启动程序主要是作用是什么？

答：FSBL 的主要是初始化硬件，加载 ssbl。

Q204: 有两个独立 boot？

答：FSBL 和 SSBL 应该都是 boot 阶段执行的文件，其中 fsbl 负责加载 ssbl。

Q205: 请问 IP 核的 Linux 驱动程序可以在 SDK 中直接编译么？

答：linux 的驱动最好还是在 linux 环境下进行编译。

Q206: 目前可以支持几种操作系统？有无 BSP 提供？

答：USB 可以配置成 OTG、Device、host

Q207: IP integrator 是否会在 2013.2 中对公众开放？6 月份能看到吗？

答：Vivado 2013.1 已经开放，现在已经可用了

Q208: Zynq 用 VXWORKS 使用 SDK 还是 ARM DS-5 来开发软件？

答：VXWORKS 应该有自己的开发工具。

Q209: 请问有基于 Zynq 的 LINUX 的详细资料？去哪去找？

答：wiki.xilinx.com 赛灵思论坛也有资料并有赛灵思公司专家回答大家的提问，大家也可以去那里提问和交流，地址在 <http://forums.xilinx.com/>

Q210: 有在千兆以太网的应用案例参考，包括硬件和软件？

答：xilinx 提供了一个 XAPP-1082 的参考样例。

Q211: Xilinx Zynq 在图像的灰度等级处理(比如直方图)gamma 矫正中及彩色校正、动态对比度处理方面有什么优势？有相应的 lib 可用吗？谢谢。

答：Xilinx 有许多视频处理的 IP 可以涵盖您的需求。另外，Xilinx 新推出的 HLS 工具可以实现 C-RTL 的转换，方便 C 算法工程师做硬件验证。最近 Xilinx 基于 HLS 又推出了 OpenCV 的视频库，更方便做视频产品开发。

Q212: PCIE 内核集成在器件中吗？

答：Yes

Q213: 芯片最高支持多大频率？

答：Z010, z015, Z020, 800MHz

Q214: 带 CAN 接口吗？

答：Zedboard 使用 CAN 功能需要外接一个 PHY。

Q215: 条码读码器工作电流最大多少？

答：Zynq 不能直接完成条码阅读，若使用 Zynq 实现条码阅读，Zynq 的功耗在 2~3W

Q216: Zynq 能做 H.264 编解码吗？功能如何？

答：Zynq 可以实现 video 编解码，目前是由 Xilinx 的第三方来提供。如果有需求，可以联系我们 Avnet 的本地销售人员。

Q217: 您好，7020 由于管脚复用问题，无法同时支持 qspi、nand、norflash，请问将来可否有更新型号的基于 A9 架构 cpu 能支持同时使用 qspi、nand flash 和 nor flash，该型号什么时候能上市？

答：Zynq 可以同时使用这三种 flash，需要借助 EMIO。

Q218: 请问：cortex 的 A 系列与 M 系列有哪些异同点，软、硬件是否兼容？谢谢？

答：Zynq 提供的是 Cortex-A9 双核处理器，Xilinx 提供了完整的开发平台 vivado/planahead/sdk，关于 A 系列和 M 系列的异同请参考 www.arm.com

Q219: VB 编程语言可用吗、

答：不可以。

Q220: Zynq-7000 是否可以提供少量的 5 伏 I/O 接口？

答：不可以。若需要 5V I/O 则需要转接，Ti/IDT 提供电平转换器件，具体型号请联系当地的 Avnet 办事处。

Q221: 大端和小端可以配置吗

答：不可以配置，只能是小端模式。

Q222: Boot Rom 里的程序是写死的，还是用户可以修改？如果不能修改，代码可以公开看到吗

答：不能修改，出厂的时候烧好的，UG585 有一些描述

Q223: 这个片子有独立的高速 Tranciever 通道？最多多少个通道？

答：不同的片子不一样，7015/7030 四个，7045 有 16 个，7010/7020 没有，谢谢。

Q224: 开发中使用到哪种编程语言？

答：处理器的开发可以使用 C、C++、汇编语言

Q225: 可用于电机变频控制开发吗？

答：刚才回答了一个关于电机控制的问题。我们针对变频控制也有类似的方案，如果有具体需求，可以联系 Avnet 本地的销售人员。

Q226: 使用什么编译器，是否有提供驱动库？

答：目前提供 BSP 中已经提供了各个接口的的驱动库。

Q227: Zynq 器件在视频处理方面有什么优势？

答：高清、多通道处理、软硬件协同工作都是针对视频的应用。这样有助于发挥 Zynq 里的硬件逻辑和软件 ARM 的功能。很多基于 C 语言的视频算法都可以用逻辑来实现算法加速。Xilinx 新推出的 HLS，高层逻辑综合工具可以实现从 C-RTL 的转换，极大地方便了做 C 算法的工程师实现硬件平台评估。

Q228: 相关资料哪里可以下载到

答：关于 Zynq 的资料可以去 Xilinx 官方网站去下载。关于 Avnet Zedboard 的资料，可以到 www.zedboard.org，里面有大量的文档和一些设计人员的分享。本研讨会的网站上我们也上载了很多重要文档，大家可以下载去学习。

Q229: 對於 AXI 的軟硬協同教程，有無檢驗 AXI IP 的方法或教程文檔？

答：好问题，请参考 xapp794, xapp1167，这是两个图像处理领域的软硬件协同处理加速的例子。详细信息，欢迎联系 avnet 当地技术支持团队，访问中文 Xilinx 网站论坛。谢谢

Q230: 873 中的介绍是在 PLAN AHEAD 中做的，据说以后要在 VIVADO 中做，是这样么？

答：建议新的设计在 Vivado 中进行，Vivado 提供了 ip interator，应用更加方便

Q231: 开发工具价格如何？

答：具体开发工具就是大家之前用的 ISE 工具或者 Vivado 工具，里面都包含嵌入式开发工具。具体价钱可以咨询 Avnet 本地的销售人员。

Q232: 开发工具是否是开源的, 如果不是价格怎么样

答: 开发工具包括 Vivado, HLS, Sysgen, SDK, Xilinx 提供系统的全面的设计支持, 具体 lincene 分单机版本和服务器版本, 请联系当地 avnet 办事处的销售咨询价格。

Q233: FPGA 逻辑设计和 ARM 设备驱动只能二选一吗? 鱼与熊掌可以兼得吗?

答: 可兼得

Q234: 开发能用 C 吗?

答: 可以

Q235: 我想问下, 如果用 Zynq 来开发 802.11X, PHY 在逻辑中实现, MAC 层在 ARM 里面可以吗? 性能会怎么样

答: 可以。我们可以用 7045 完成 LTE 的 micao cell, 类似于你的这种结构。

Q236: 处理器系统的启动程序放哪里? 外部的 Flash 吗

答: 可以存放启动程序的有 NAND\NOR\QSPI Flash 以及 SD 卡, 看具体的硬件设计

Q237: ARM 部分的开发软件环境是什么?

答: 可以利用 xilinx 提供的开发套件, 该套件支持 Windows 和 Linux 两个平台。

Q238: 可以支持多显示吗?

答: 可以支持多显示。

Q239: 东西很好, 我开发中如何可以获得相应的开发板, 或者样品? 谢谢

答: 联系当地 Avnet 应用工程师,

<http://www.em.avnet.com/en-us/design/Pages/BranchLocator.aspx>, 关于开发板, 安富利合作伙伴电子创新网商城有售 Zedboard, 购买地址: <http://malleetrend.com> 售价 2988RMB。

Q240: 这个芯片也可用 keil 开发吗

答: 目前 ZYNQ 暂时还没有提供在 keil 上进行开发配套工具。

Q241: 能举几个例子么? 有那些公司用过

答: 目前 Zynq 主要在工业控制、手持通信设备和测量仪器项目上进展顺利。国外的许多大客户都在使用 Zynq 平台做开发, 国内也大部分有相同应用的客户在使用 Zynq。如果有需求, 可以联系我们本地的销售人员。我们可以详细沟通。

Q242: 如何得到中文文档?

答: 目前市面上已经有一些中文书籍, 刚才在戈工的 PPT 里, 也提到了一本不错的 Zynq 书。可以买来看看。网站上的技术文档大部分还是英文的。

Q243: ARM+FPGA 实在内部连接的吗？同步速度怎么样

答：内部有连接，内部有 9 条总线

Q244: 是否可以申请开发套件

答：你可以去联系 Avnet 本地的销售。联系方式见上载的 Zedboard 宣传页。

Q245: 有机会拿到开发板不？

答：请参加 Avnet 在各地举办的研讨会，如果幸运可以拿到。Zedboard 价廉物美，请联系 avnet 当地代理商，另外我们会推出 usb-mini Zynq 开发板。

Q246: Xilinx ZYNQ 的开发周期大约多长时间（一般要求）

答：取决于具体应用，人应用明确，有着开发代码积累，使用 Zedboard 进行演示，一周以内就可以了，若是从新开始设计，可能需要 3~6 个月。

Q247: 操作起来和单独的 ARM 操作有区别吗 这样的话

答：如果你不用逻辑部分，可以用 DS-5 完成开发，几乎没有区别。

Q248: 请问 IP 核的驱动程序可以在 SDK 中直接编译么

答：如果是裸跑的可以，像 linux 最好是在 linux 环境编译。

Q249: 提供的开发套件都很那些资源？

答：软件方面开发套件里面提供了各个接口的裸跑驱动，工具链，FPGA 方面提供了一些 IP 库，种仿真工具等。

Q250: 请问一下，原来用 FPGA+PC 的图像数据采集系统是否可以用 Zynq 来替代，Zynq 的逻辑部分能否适合高速的数据采集系统？

答：可以，Zynq 本身包括了一个 FPGA 子系统，另外提供 USB/PCIe/GE 多种与 PC 机的接口，请联系当地 avnet FAE 提供具体方案。

Q251: 在使用 ZedBoard 时，2.6 内核，对于定制 IP 后，驱动编写没有方向。我们参考了 UG925 的视频处理设计 TRD，其中似乎将驱动与 Linux 程序一起在 SDK 中编译。如果将 IP 的物理地址映射成内存的虚拟地址，是不是就可以不改变设备树文件。我们的 IP 有 INTERCONNECT, VDMA, 滤波器，控制是 GP 接口，AXI_Lite，数据是 HP 接口，AXI_Stream，希望得到指导。谢谢

答：设备树是用来描述外设接口信息的，里面都是物理地址，在 linux 里面都是通过虚拟地址来访问的，需要通过虚实转换后才能访问。

Q252: 请问怎样在 PS 和 PL 之间传输图像？都需要完成什么

答：使用 Video DMA 连接 DDR controller

Q253: 可编程逻辑部分的程序是如何加载进去？是传统的外部 EEPROM 芯片加载还是通过 ARM 核去加载？

答：是通过 ARM 核加载，需要 ARM 先启动。

Q254: XADC 性能怎么样

答: 双通道 12 位独立 1MHz 采样, 可以采用方式提供精度(牺牲有效采样速率), 可用在在某别需要高精度但是低采样率的应用中, 比如温度、压力、流量, 电压, 等等

Q255: ZYNQ-7000 有应用于软件无线电 SDR 相关的资料吗?

答: 我们目前有个关于 SDR on Zynq 的培训, 里面有详细的内容。如果有需求, 可以联系 Avnet 本地的销售。

Q256: 给车载电器应用实例

答: 我们有一个案例把车载音响、影像、导航、蓝牙通信继承在了 Zynq 里面, Zynq 提供了汽车通用的 CAN, 提供了非常强大的计算能力和接口能力, 希望您做出更多的开发。关于车载应用具体信息, 请联系当地 Avnet FAE。

Q257: 该芯片对设计师的要求是不是降低了

答: 要看从哪个方面来看这个问题, 如果只是单纯的从 ARM 或 FPGA 开发来看, 确实对工程师影响不大。从系统角度来看, 应该是降低了设计师的一些负荷。

Q258: 这个开发板自带调试器吗?

答: 已有一个自带调试器。

Q259: 芯片里面就有 Boot RAM? Boot Rom 里的程序是写死的, 还是用户可以修改? 如果不能修改, 代码可以公开看到吗

答: 这个是由芯片厂商提供的, 用户不能修改, 代码不公开。

Q260: 此器件与现有 A9 相比有哪些优势?

答: 这是一个标准的 Cortex-A9 内核, 另外我们提供了丰富的外设, 以及可编程逻辑实现的 ushuaia 自定义外设、用户自定义硬件加速。

Q261: ZYNQ-7000 有 OTG 功能吗?

答: 支持, Zedboard 上就有带一个支持 OTG 的 USB 接口。

Q262: 支持在线调试吗?

答: 支持在线调试

Q263: 从目前以有的基于 zynq 芯片的解决方案来看, 比如 zedboard 开发板、ZC702 开发板等, 都是采用 SD 卡或 QSPI flash 的启动方式, 有关 NAND 启动方式的解决方案资料很少。众所周知, NAND flash 存储容量大, 被广泛应用于嵌入式系统中。Xilinx 是否有计划开发基于 NAND 启动技术或者是否可以提供相关解决方案? 另外, Xilinx 官网提供的 linux 操作系统资料中不支持或不完全支持某些硬件, 比如 CAN 控制器、QSPI flash 控制器等, 后续是否计划逐步完善相关驱动?

答: 大多数开发板不使用 NAND 的原因是 NAND 所占用的管脚比较多。在可以

使用 QSPI 做快速启动+SD 卡做大容量存储的情况下，开发板还是倾向于保留更多的 MIO 管脚用于其他用途，比如以太网等。用了 NAND 以后这些 MIO 就无法使用了。

Q264: 在我的 project 中，zynq 板子是自己制作的，zc702 没有上任何系统，为裸机运行。NAND Flash 采用的是 Mircon 公司的 MT29F2G08ABBEAH4。我通过 SDK 的 Xilinx Tools -> Create Zynq Boot Image 工具创建了*.bin 文件。

然后通过 Xilinx Tools -> Program Flash 将*.bin 文件写入到 NAND Flash 中(通过测试代码从 NAND 中读出核对，*.bin 文件确已写入 NAND 中)。

断电将 zc702 切换为 NAND 启动模式，重新上电 zc702 没能正常启动。

我这里有几点不是很确定，拿出来与大家讨论：

1. 创建 zynq_fsbl.elf 文件

在 SDK 下，通过 New -> Application Project，选择了 Zynq FSBL 模板 (Templates)，创建了 fsbl 工程，build 该工程之后生成生成 zynq_fsbl.elf 文件。

2. 创建*.bin 文件

我通过 SDK 的 Xilinx Tools -> Create Zynq Boot Image 工具创建了*.bin 文件。文件内容及顺序如下：

the_ROM_image:

```
{
[bootloader]/zc7_work_14_4/zc7_400_e5801_v3.1_uart0/zc7_e5801.sdk/SDK/SDK_Export/zynq_fsbl/Debug/zynq_fsbl.elf
/zc7_work_14_4/zc7_400_e5801_v3.1_uart0/zc7_e5801.sdk/SDK/SDK_Export/hw/zc7_top.bit
/zc7_work_14_4/zc7_400_e5801_v3.1_uart0/zc7_e5801.sdk/SDK/SDK_Export/zc7_uart_test/Debug/zc7_uart_test.elf
}
```

其中，zc_top.bit 为用户 bit 文件，zc7_uart_test.elf 为用户 C 代码可执行文件。

问题(1): 上述创建 zynq_fsbl.elf 文件方法有什么问题没？对这样创建生成的 fsbl 工程不做任何修改，直接 build 之后拿来用，能行吗？（事实上，我还没有很透彻地理解该如何去裁剪 fsbl 模板？）问题（2）：创建*.bin 文件没什么问题吧？

问题（3）：若上述两个步骤没什么问题，为什么 zc702 不能从 NAND flash 正常启动？

答：FSBL 进入 main 函数，肯定没有问题的。可以在 fsbl_debug.h 中定义 FSBL_DEBUG_INFO，打开调试信息，看状态。或者直接在 SDK 中，调试 FSBL，看前面的基本流程，能执行下去不？

```
#define FSBL_DEBUG_INFO
```

Q265: 如何使用 Zynq-7000 DDR 控制器地址映射将 AXI 地址转换至 DRAM 寻址？

答：通常，Xilinx 设计工具提供一个默认 Row/Bank/Column 寻址安排，并且在大部分情况下应予以使用。此问答记录末尾所附文件提供了一则所用地地址映射的配置范例，下载地址：

http://china.xilinx.com/Attachment/51790/Zynq_DDRC_Address.pdf

Q266: 关于 Zynq-7000 - 不支持安全启动功能

答：不支持安全启动模式。安全会受到威胁，当试图以安全模式启动时系统会挂起。

影响：较小非安全启动模式照常运行。

解决方法：无，使用非安全启动模式

受影响的配置：全部。

受影响的器件修订版本：参考 ([Xilinx 答复 47916](#)) - Zynq-7000 设计咨询主答复记录

Q267: ZC702 支持什么 QSPI 时钟模式/速度？

答：由于 MIO8 引脚连接于装入程序并用于 GPIO，ZC702 仅支持 <40MHz QSPI 时钟运行。这意味着当 MIO8 用于其它用途，不可使用反馈时钟模式。

Q268: 如何使用 Lauterbach T32 来调试 Linux 内核 3.3？

答：在使用 Lauterbach T32 来调试 Linux 内核 3.3 之前，需要执行如下操作。在使用 Lauterbach 进行调试时，必须在 demo/arm/kernel/linux 下的 TRACE32 安装目录中包含 Linux Awareness 包。

在 git.xilinx.com 中，将通过启用下列“调试”选项“Kernel hacking (内核监视)”->“Compile the kernel with debug info (通过调试信息编译内核)”来编译 Linux 库。在 Lauterbach 中使用启动实例脚本，您可以在下列网页中找到该脚本：
<http://china.lauterbach.com/scripts.html>。

下面是该脚本所执行的操作：

- 连接至 Zynq
- 下载 vmlinux
- 下载 devicetree.dtb
- 下载 ramdisk 映像
- 载入 Linux 内核符号
- 初始化 MMU
- 初始化 Linux Awareness
- 启动 Linux

注意：在运行 Linux 内核之前，需要在电路板上运行 FSBL 和 U-boot（例如初始化 DDR）。您可以在 SD 卡上复制含有 FSBL+U-boot 的 BOOT.bin，并在 SD 卡上启动该执行程序，并在 u-boot 提示下停止运行该程序。

Q269: 有关 Zynq-7000 APU - PLD 指令可能在禁用数据缓存中分配问题

答: 无论处理器配置设置情况如何, 包括数据缓存启用 (Data Cache Enable) 位是什么值, PLD 指令会预取和分配任何标记为 Write-Back 的数据 (Write-Allocate 或 Non-Write-Allocate, Shared 或 Non-Shared)。这会产生数据一致性问题。如果数据缓存启用后就不会发生这个问题。

解决方法需要软件在无文档记录的控制寄存器中设置一个位。设置该位会让所有 PLD 指令被视为 NOP。

Q270: 有关 Zynq-7000、SPI - 主模式下设置时序取决于 SPI 参考时钟周期

答: 当 SPI 接口在主模式下运行时, 用于 MI 的设置时序取决于 SPI 参考时钟周期。它始终等于一个参考时钟周期。

Q271: 问题: 有关 Zynq-7000, Quad-SPI - 线性寻址模式中的控制器可能在高负载系统中会挂起?

答: 在线性模式下, Quad-SPI 控制器在大批量存储器请求情况下可能挂起。通过使用波特率分频器降低通过控制器的数据速率。器件在启动过程中存取不会挂起。

Q272: Zynq-7000 无法在 BootROM 完成前访问 JTAG 链?

答: 无论采用什么安全模式, JTAG 串行路径都能在 BootROM 完成将 CPU 和系统切换给用户之前访问 PS DAP 和 PL TAP 控制器。

Q273: Zynq-7000, SPI - 在 MIO 上的主模式中, 当 SS0 信号进行断言时, SPI 控制器本身会重置问题。

答: 当 SPI 控制器经配置作为主控制器时, SS0 信号是输出信号。MIO/EMIO 多路复用器中尚未使用的输入信号必须保留为取消断言的状态。在使用 MIO 接口时, 请将 SS0 控制器信号路由至 EMIO 接口, 并将 EMIO SS0 输入信号分配至 net_vcc (这可能不是默认设置)。

Q274: Zynq-7000 EPP, ID - PS 系列 IDCODE 值错误问题

答: 软件可在 PS slcr.IDCODE[27:21] 寄存器位中读取的 7 位系列 IDCODE 值是错误的。所读取的寄存器值为 0x1D, 而正确的值应该为 0x1B。

Q275: 14.2 Project Navigator - 在“设计目标和策略”中, Zynq 器件只有“平衡”的设计目标?

答: 如果在 ISE 设计工具中选择 Zynq 器件作为目标, 则在“设计目标和策略”中只能选择“平衡”的设计目标。

解决方案

Virtex-7 FPGA 项目所用的相同的设计目标策略对于 Zynq 器件项目而言也应该是可用的。但是, 在 ISE Design Suite 14.2 中, 这些策略并没有正确链接到

Zynq 项目。平衡的策略可用是因为它是每个系列的默认设置。面向 Zynq 器件的设计目标将被添加到 ISE Design Suite 14.3。如果要在 ISE Design Suite 14.2 中使用面向 Zynq 项目的 Virtex-7 FPGA 设计目标策略，请执行以下操作：

从 /ISE/virtex7/data 拷贝 *.xds 文件并将其粘贴到 /ISE/zynq/data 中。
编辑 /ISE/zynq/data 目录中的每个 .xds 文件，并修改器件系列行。

```
<DeviceList devices="virtex7,virtex7l" />
```

to:

```
<DeviceList devices="zynq" />
```

此外，每个 Virtex-7 策略也能在策略编辑器中打开并保存为 Zynq 策略：

选择项目 -> 设计目标和策略……

选择编辑策略。

在编辑设计策略窗口点击面向策略文件的 Browse (...) 按钮。

在 /ISE/virtex7/data 下浏览和选择所需的策略。

点击对话框中的 OK。对话框通知您，您将打开与当前项目所用不同器件系列的策略。选择另存为并用新名称保存策略。

注意：采用本方法前 /ISE/virtex7/data/*.xds 文件应为可写入属性。

Q276: 14.2 EDK, Zynq-7000 - 带 ECC 的 PS DDRC 不工作,在 PS DDR 控制器上启用 ECC，通过 XMD 首次读取时会出现以下 XMD 错误：

ERROR: Cannot Read from target 该怎么解决这个问题？

答：必须在 ps7_init.tcl 和/或 ps7_init.c 中对应于 XPS 输出修改以下寄存器值：

将 0XF80060F4 修改为 0x00000004

0XF8000B4C，与 0XF8000B48 相同

0XF8000B54 与 0XF8000B50 相同

目前预计 EDK 14.3 中解决此问题。

注意，ECC 始终需要存储器在使用前进行初始化（包括加载 ELF 应用）。EDK 14.3 将在 Xilinx FSBL 中添加初始化程序，但 XMD/SDK 用户在下载或使用带 ECC 的 PS DDR 之前需要运行 FSBL 或基于 OCM 的应用。

Q277: 有关 Zynq-7000 AP SoC，调试 - 软件可能无法区别 ITM 帧 和 FTM 帧

答：所有 PS 跟踪源均会在数据包中插入 3 位不可配置的 ID，以便让软件来区分来自不同源的包。FTM 在包中插入的 ID 为 010，它与 ITM 为 16 位包使用的 ID 发生冲突。使用 1 来包装 ITM 可避免发生包压缩的情况，这是因为包压缩会将包的大小从 78 变为 16。可行方法是使用 1 来填充 ITM 包，从而可避免包的大小在压缩后变为 16。此方法目前已用于 Xilinx 工具中。

缩写注释

arm 模块被称为 PS

FPGA 模块被称为 PL

FSBL (First Stage Boot Loader)

八、Zynq 开发资源大全

1、赛灵思官网

<http://china.xilinx.com/products/silicon-devices/soc/zynq-7000/index.htm>

2、创新网赛灵思中文社区

Xilinx.eetrend.com

3、Zynq-7000 AP SoC 系列视频教程

http://www.youku.com/playlist_show/id_18465494.html

4、赛灵思用户社区论坛

<http://forums.xilinx.com/>

5、赛灵思 wiki

<http://www.wiki.xilinx.com/>

6、电子技术应用赛灵思技术小组

<http://group.chinaaet.com/109/topicList>

7、中电网赛灵思在线研讨会

<http://seminar.eccn.com/company.asp?productname=Xilinx&color=company>